

2 VS

Japanese Patent Application Laid-Open No. 10-223833

(57) [ABSTRACT OF THE DISCLOSURE]

[OBJECT]

The present invention is to realize a multi-chip semiconductor device whose plane area is small, whose structure is simple and which is thin.

[SOLVING MEANS]

In a multi-chip semiconductor device on which chips 1₁, 1₂, and 1₃ are stacked, each chip having a silicon substrate 2 on which elements are formed in an integrating manner, each of the chips 1₁, 1₂ and 1₃ has a structure where a metal plug 4 provided in a through hole formed so as to pass through the silicon substrate 2, and electrical connection between the chips is achieved through the metal plug 4.

[0061] (A fourth embodiment)

Figs. 4 and 5 are step sectional views showing a method for forming a chip for a multi-chip semiconductor device according to a fourth embodiment of the present invention.

[0062]

First of all, as shown in Fig. 4(a), a silicon substrate 10 is prepared. This silicon substrate 10 is one on which elements have been formed, and its surface is covered with a first inter-layer insulating film 11. Material from which SiO₂ and an etching selection ratio can be utilized such as silicon nitride is selected for the material for the first inter-layer

insulating film 11.

[0063]

Next, as shown in Fig. 4(b), after a mask pattern 12 with a thickness of 1 μm which is formed of SiO_2 is formed on the first inter-layer insulating film 11, the first inter-layer insulating film 11 and the silicon substrate 10 are etched utilizing the mask pattern 12 as a mask by a RIE process where etching gas is F system gas, so that a hole 13 which passes through the first inter-layer insulating film 11 but does not pass through the silicon substrate 10 is formed. Thereafter, it is preferable that annealing is performed for recovering a defect which has been occurred in the silicon substrate 10 in the time of the hole 13 formation.

[0064]

The depth of the hole in the silicon substrate 10 is 10 μm . The total of this depth plus the thickness of the first inter-layer insulating film 11 is the entire depth of the hole 13. The hole 13 is formed as a through hole finally.

[0065]

Incidentally, such a processing may be employed that the silicon substrate 10 is etched to form a hole by the RIE process, the first inter-layer insulating film 11 is formed, and the first inter-layer insulating film 11, or the first inter-layer insulating film 11 and the silicon substrate 10 are etched to form the hole 13 by the RIE process.

[0066]

In this case, such material as SiO_2 , Al, Al_2O_3 , or the like

can be used as the mask pattern used in the first etching process.

[0067]

Also, the process for forming the hole 13 (through hole) is not limited to the RIE, but a photo-etching, a wet-etching, a ultrasonic machining, or an electrical discharge machining may be applied to the forming process. Furthermore, the above processes may be combined properly to be used for the forming process. Incidentally, a process where the RIE or the photo-etching and the wet-etching are combined will be explained later.

[0068]

Next, as shown in Fig. 4(c), a SiO_2 film with the thickness of 100nm and a Si_3N_4 film with the thickness of 100nm are sequentially stacked on the whole surface of the silicon substrate 10 to form a stacked layer insulating film 14 (a first insulating film) of $\text{SiO}_2/\text{Si}_3\text{N}_4$ by using LPCVD process. Incidentally, a single layer insulating film may be used instead of the stacked layer insulating film 14.

[0069]

Next, as shown in Fig. 4(d), a metal film 15 serving as a metal plug is formed on the entire surface of the stacked layer insulating film 14 so as to have such a thickness that metal for the metal film overflows from the hole 13, so that the hole 13 is filled with the metal film 15.

[0070]

Here, for example, a W film, a Mo film, a Ni film, a Ti film or a metal silicide film of these materials may be used

as the metal film 15. Also, for example, CVD process, sputtering process or plating process may be used as a process for forming the metal film 15.

[0071]

Next, as shown in Fig. 5(e), the metal film 15 and the stacked layer insulating film 14 are thinned until a surface of the first inter-layer insulating film 11 is exposed by such a process as a CMP process, etch back process or the like.

[0072]

As a result, a structure where the metal film (metal plug) 15 has been embedded in the hole 13 is formed. Such a structure can be formed even by another forming process. The another forming process will be explained later (Fig. 14 and Fig. 15).

[0073]

Next, as shown in Fig. 5(f), a multi-layer wiring structure 16 forming a multi-layer wiring layer is formed on the silicon substrate 10 together with the first inter-layer insulating film 11. The multi-layer wiring structure 16 comprises metal wires (a wiring layer), an inter-layer insulating film, a plug and the like. Thereafter, a groove is formed on a surface of the multi-layer wiring structure 16 and a pad 17 is then formed in the groove.

[0074]

Fig. 6 and Fig. 7 show specific structures of a multi-layer wiring layer of a region of the hole 13 and a multi-layer wiring layer of an element region, respectively.

[0075]

A MOS transistor is formed on the element region. Also, in the figure, reference numeral 11a denotes a second inter-layer insulating film, 11b denotes a third inter-layer insulating film, 11c denotes a fourth inter-layer insulating film, 11n denotes the n-th inter-layer insulating film, 19a and 20a denotes first metal wires, 19b and 20b denote second metal wires, and 20c denotes a third metal wire.

[0076]

Next, as shown in Fig. 5(g), the silicon substrate 10 is thinned from a back surface of the silicon substrate which is opposed to a surface of the silicon substrate on which the hole 13 has been formed until the insulating film 14 on the bottom portion of the hole 13 is exposed.

[0077]

Here, thinning of the silicon substrate 10 may be performed by, for example, such a process as CMP, chemical polishing, mechanical polishing, wet-etching, plasma etching or gas etching, or a combination of these processes. Among these processes, the CMP is the most representative process, which is preferable.

[0078]

It is preferable that the step shown in Fig. 5(g) is performed on the condition that a selection ratio between the silicon substrate 10 and the insulating film 14 can be taken. When the step is performed on such a condition, it becomes possible to terminate the step automatically at the position of the insulating film 14.

[0079]

Next, as shown in Fig. 5(h), the back surface of the silicon substrate 10 which is positioned on the bottom portion side of the hole 13 is selectively etched until the insulating film 14 on a side wall of the hole 13 positioned above the insulating film 14 of the bottom portion of the hole 13 is exposed. For this etching, for example, such a dry etching as CDE, RIE or the like, or a wet etching is employed. Incidentally, CMP may be employed instead of the etching.

[0080]

Thereafter, a damaged layer which has been occurred by the above etching or CMP is removed by, for example, a wet etching. Incidentally, the removing step is not required in a case that a damaged layer has not occurred. The reason why the damaged layer is removed is that the damaged layer influences on the next step for forming a SiO₂ film 18.

[0081]

Next, as shown in Fig. 5(h), the SiO₂ film 18 (a second insulating film) is formed on the entire back surface of the silicon substrate 10 positioned on the side of the bottom portion of the hole 13 by using a plasma CVD process. Incidentally, when a low temperature process is required, it is preferable that a coating film such as a SOG film or the like is used instead of the SiO₂ film 18. Also, when it is required to reduce stress acting on the silicon substrate 10, it is preferable that an organic film such as a polyimide film is used instead of the SiO₂ film 18.

[0082]

Next, as shown in Fig. 5(i), the SiO_2 film 18 and the stacked layer insulating film 14 are polished using a CMP process until the metal plug 15 is exposed.

[0083]

As a result, a structure where a connection plug comprised by the insulating film 14 and the metal plug 15 is embedded in the through hole (hole 13), and the silicon region on the back surface of the silicon substrate 10 is coated with the SiO_2 film 18 is completed.

[0103]

Fig. 9 is a step sectional view showing another process for forming the hole 13. The process is a forming process where RIE or photo-etching and wet etching are combined

[0104]

First of all, as shown in Fig. 9(a), a first inter-layer insulating film 11 is formed on a silicon substrate 10 whose main plane is {100}. Next, as shown in Fig. 9(a), after a mask pattern 12 is formed on the first inter-layer insulating film 11, the first inter-layer insulating film 11 and the silicon substrate 10 are etched using the mask pattern 12 as a mask to form a hole 13, with a rectangular sectional configuration.

[0105]

Here, as the etching, RIE, or photo-etching (photo-chemical etching, photo abrasion etching) is used. Particularly, since the photo etching has an advantage that a

high speed etching and a low damage etching are allowed, it is suitable for forming a deep hole 13₁. In a case of the photo-chemical etching, for example, Cl₂ gas is used as etching gas and ultraviolet rays are used as exciting lights.

[0106]

Next, as shown in Fig. 9(b), the silicon substrate 10 is wet-etched using the mask pattern 12 as a mask to expose {111} plane. As a result, a hole 13₂ with a triangular sectional configuration is formed. For example, KOH solution whose temperature is 60 to 90° is used as etching liquid.

[0107]

Next, as shown in Fig. 9(b), metal 21 such as Ni, Ti, Zr, Hf, V or the like are provided in the hole 13₂. Particularly, the metal 21 is provided on the bottom portion of the hole 13₂.

[0108]

Next, as shown in Fig. 9(c), the metal 21 and the silicon substrate 10 are caused to react with each other by heat treatment to form metal silicide film 22 on the silicon substrate 10 positioned on the lower portion of the hole 13₂.

[0109]

Next, as shown in Fig. 9(d), the metal silicide film 22 is selectively removed through etching to form a deeper hole 13₂. Finally, after the insulating film formation and the metal embedding are performed, a deep through hole can be obtained by polishing the substrate back surface.

[0110]

In this manner, by making the hole deeper in a stepping

manner, a deep hole can be formed easily so that a through hole can be formed easily.

[Explanation of reference numerals]

1₁, 1₂, 1₃... chip

2... silicon substrate

3... multi-layer wiring layer

4... metal film (metal plug)

5... insulating film

6... pad

7... insulating film

7a... insulating film

8... solder bump (connecting member)

8d... dummy bump

9... stacked layer wiring substrate (packaging member)

10... silicon substrate

11... first inter-layer insulating film

11a... second inter-layer insulating film

11b... third inter-layer insulating film

11c... fourth inter-layer insulating film

11n... nth inter-layer insulating film

12... mask pattern

12a... mask pattern

13, 13₁ to 13₃... hole (through hole)

14... stacked layer insulating film (first insulating film)

15... metal film (metal plug)

16... multi-layer wiring structure

17... pad
18... SiO₂ film (second insulating film)
19... metal wire
19a... first metal wire
19b... second metal wire
20a... first metal wire
20b... second metal wire
20c... third metal wire
21... metal
22... metal silicide film
23... conductive paste
24... metal particles
25... silicon film
26... metal silicide film
27... silicon film
28... Ni particles
29... nickel silicide film
30... cap film
31... SOG film
32... FOX film
33... pad
34... metal ball
35... substrate
36... groove
37... metal ball
38... adhesive film
39... radiating fin

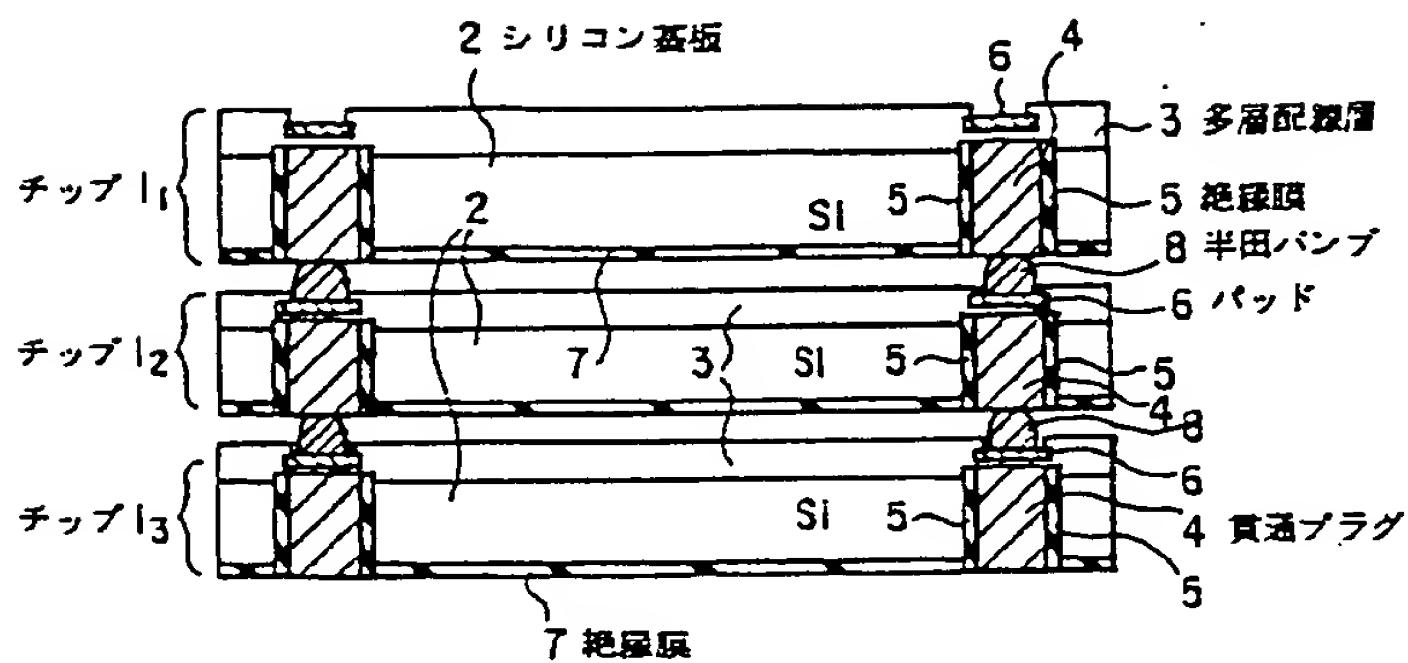
40... bonding agent
41... insulating film
42... solder
43... plastic tape
44... lead terminal
45... cap metal film
46... cap insulating film
47... member to be connected
50... silicon substrate
51... tunnel oxide film
52_F... floating gate electrode
53_C... control gate electrode
53... inter-gate electrode insulating film
54... source diffusion layer
55... drain diffusion layer
56... first inter-layer insulating film
57... Ti/TiN stacked layer film
58... W bit line plug
59... mask pattern
60... hole
61... SiO₂ film
62... multi-crystal silicon film
63... Ni film
64... bit line
65... first wiring layer
66... second inter-layer insulating film
67... plug

68... second wiring layer

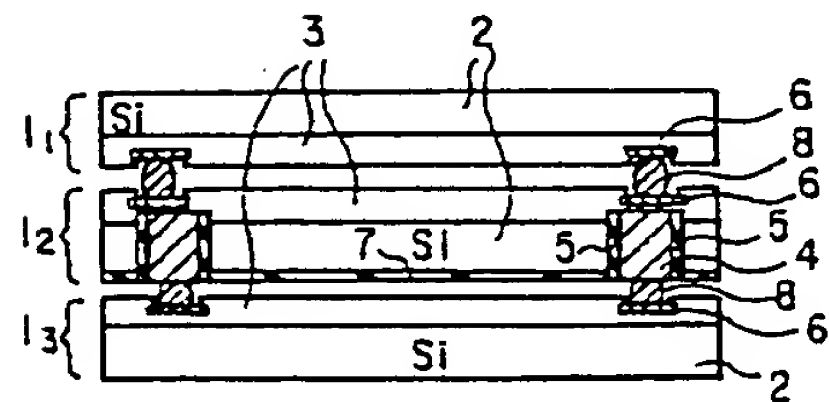
69... polyimide film

70... Au ball bump

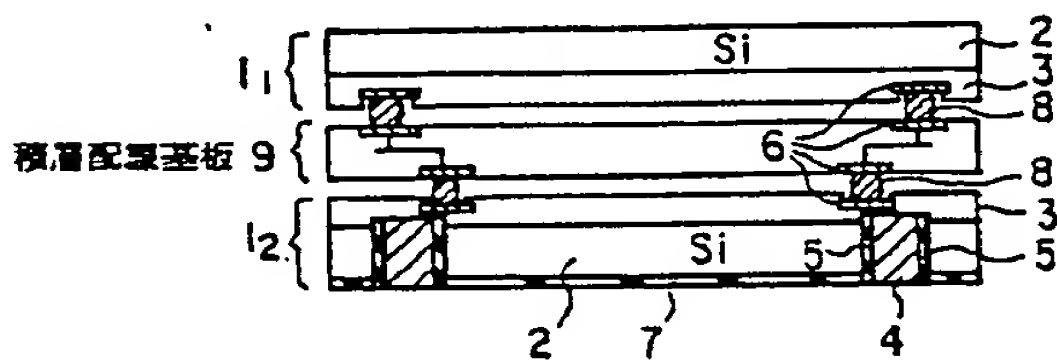
【図1】



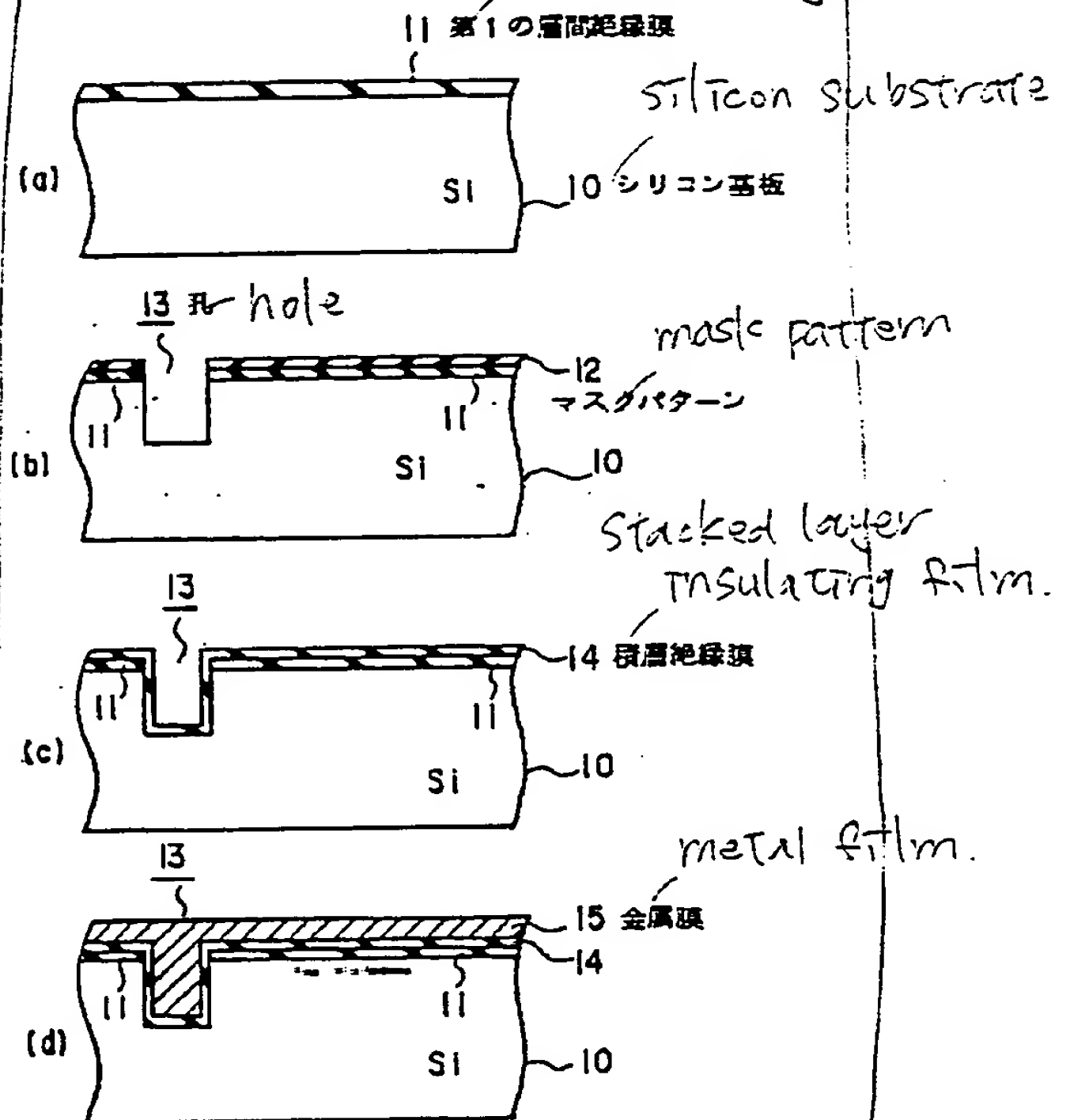
【図2】



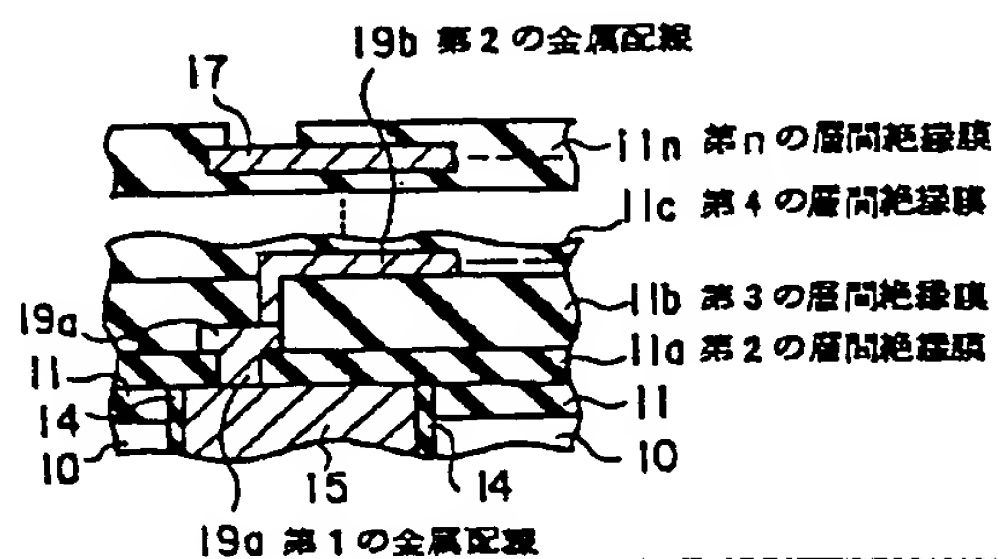
【図3】



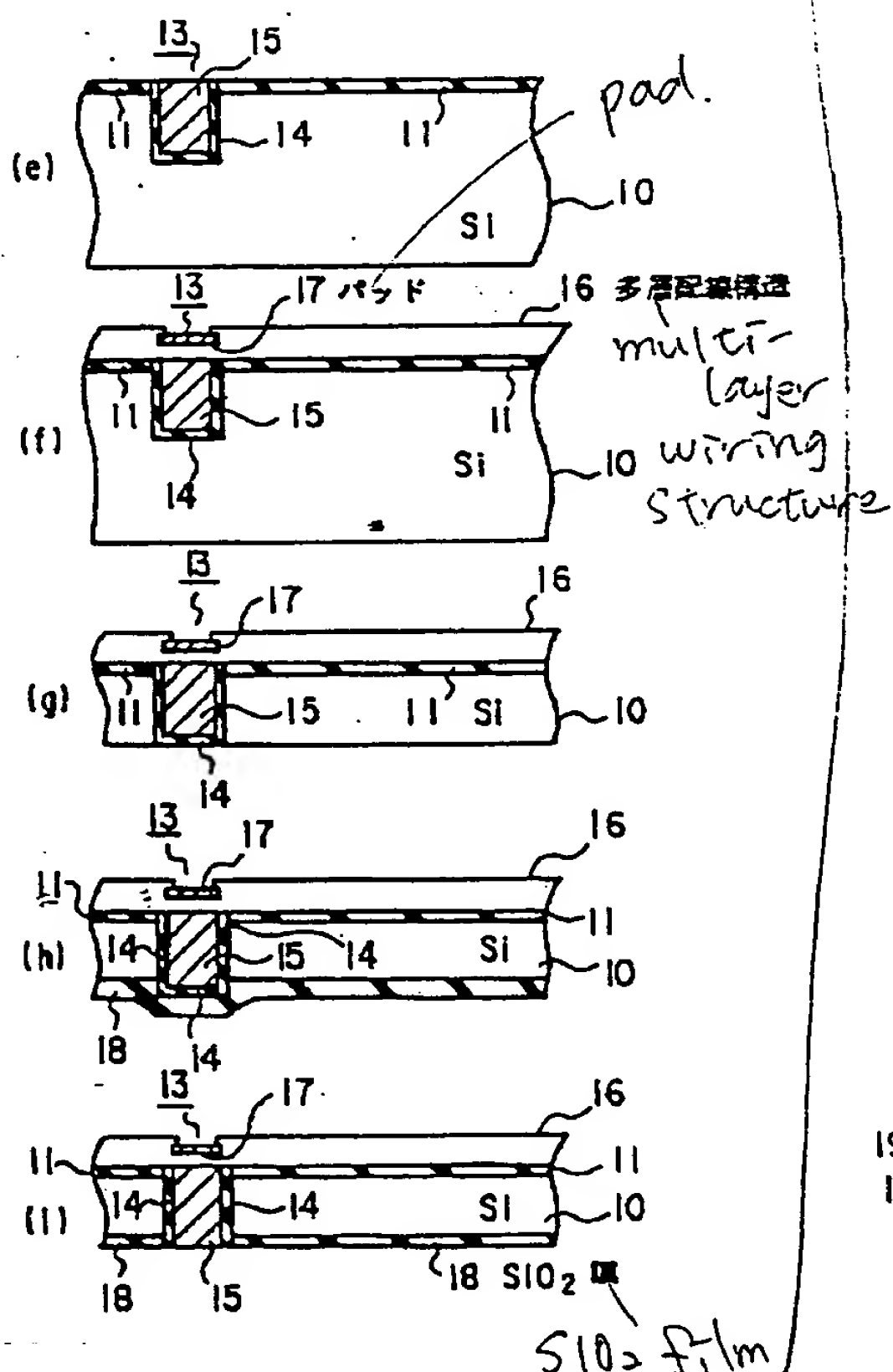
【図4】 first inter-layer insulating film.



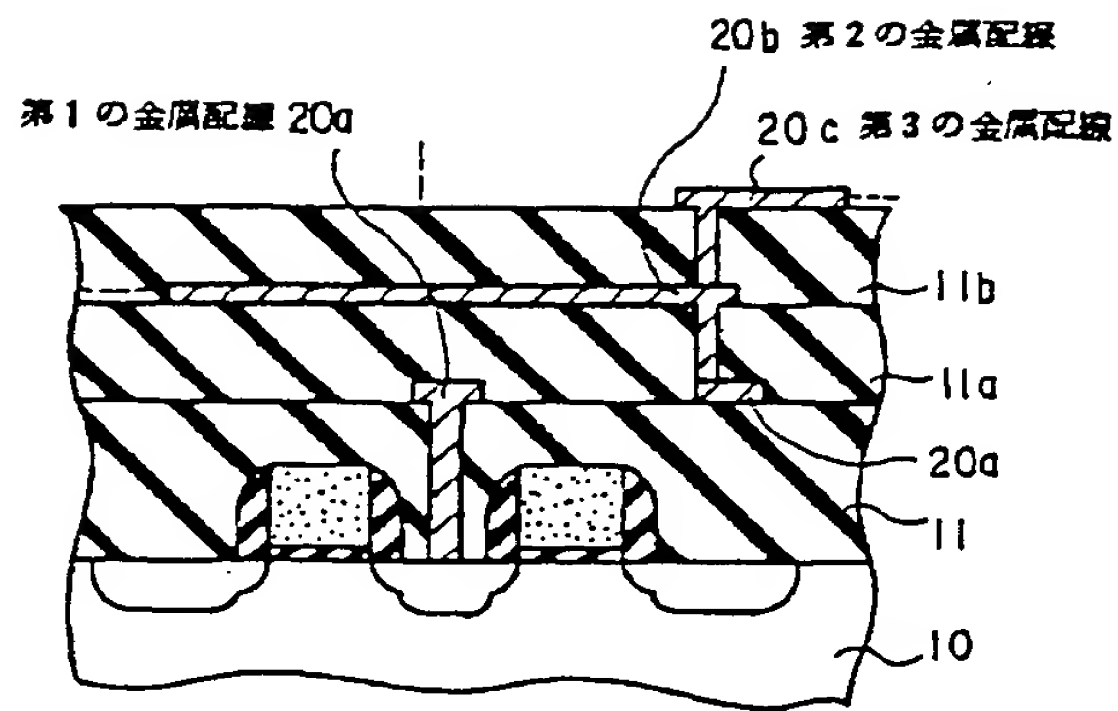
【図6】



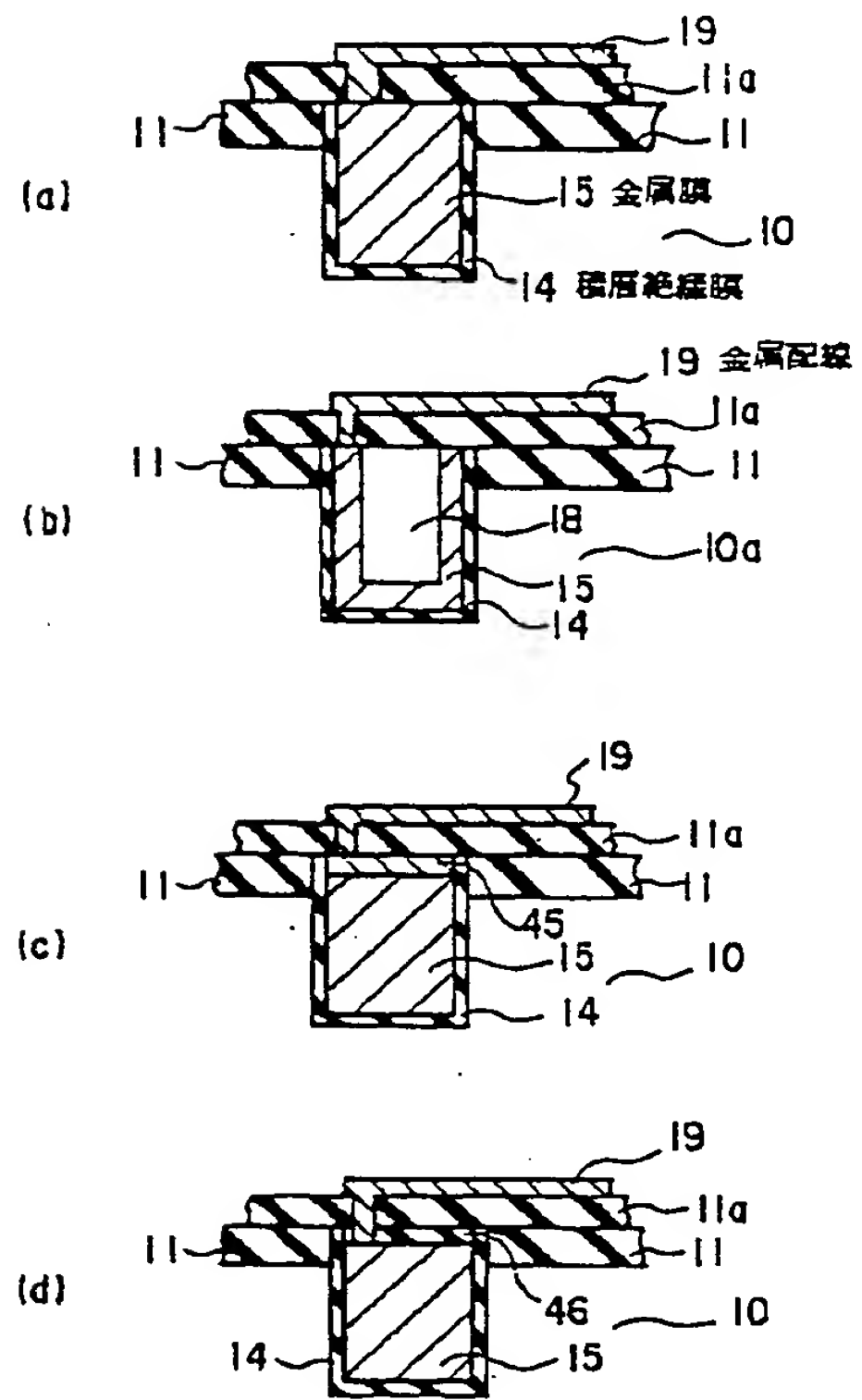
【図5】



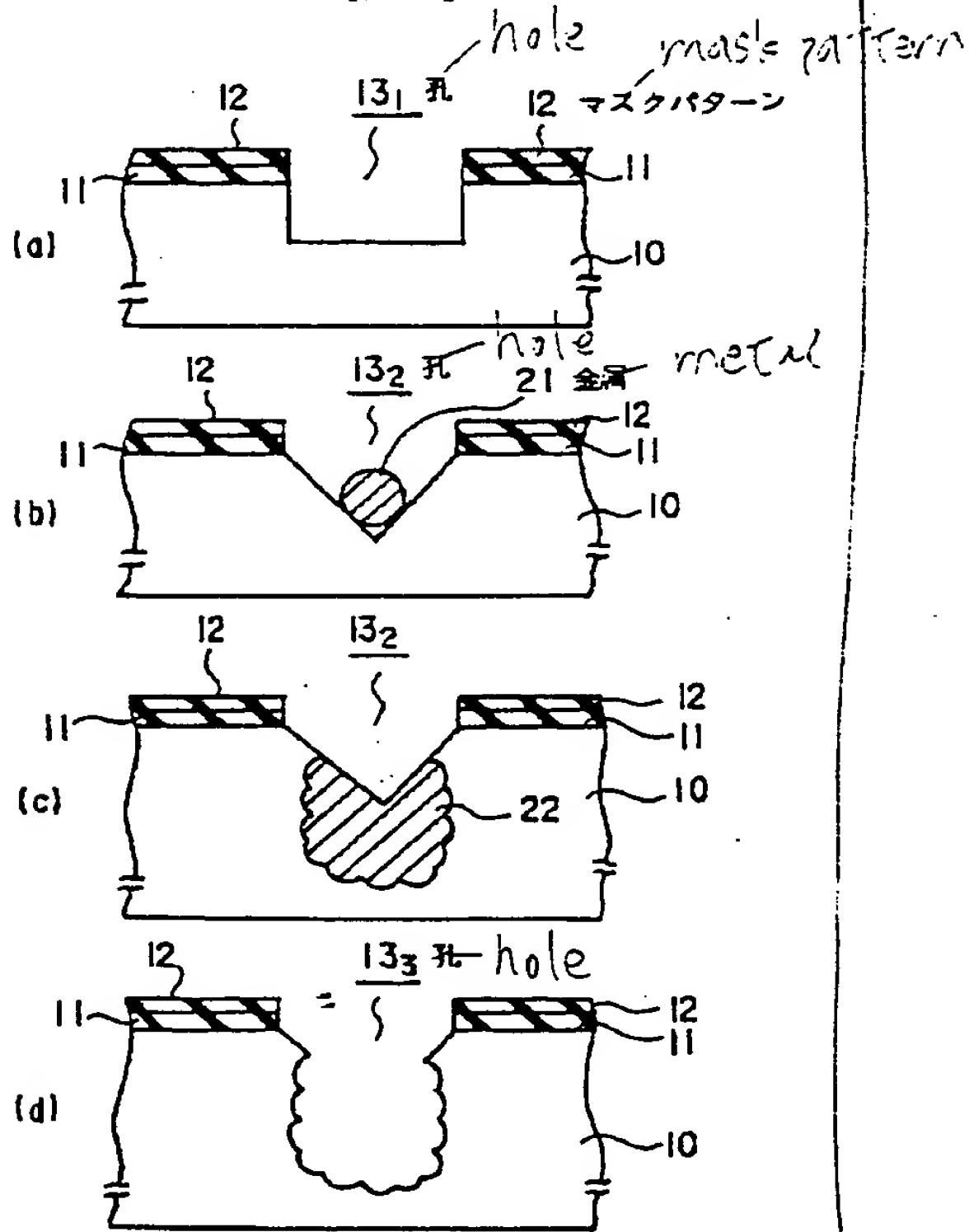
【図7】



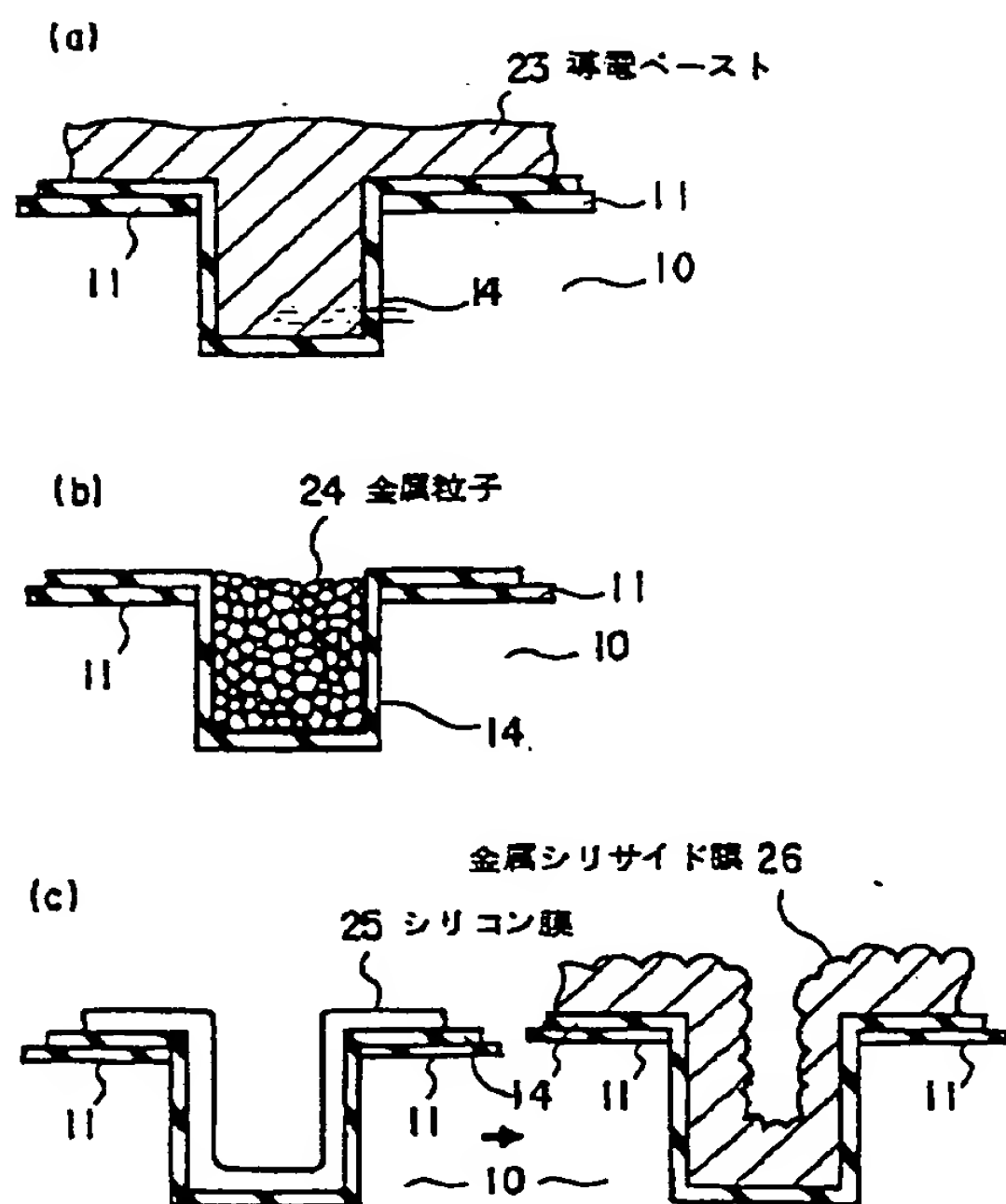
【図8】



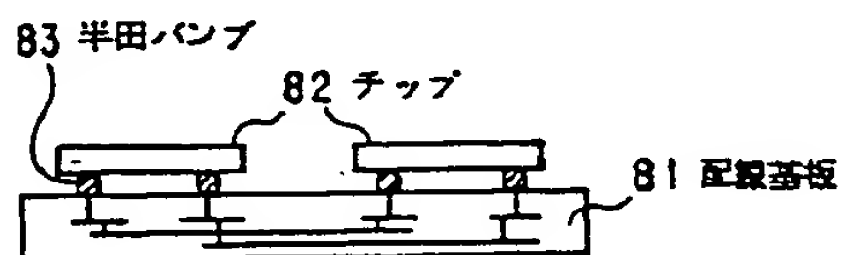
【図9】



【図10】



【図25】



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-223833

(43) 公開日 平成10年(1998)8月21日

(51) Int. Cl. 6

識別記号

F I

H O 1 L 25/065

H O 1 L 25/08

B

25/07

25/18

審査請求

未請求

請求項の数 1 2

O L

(全 19 頁)

(21) 出願番号 特願平9-305784

(22) 出願日 平成9年(1997)11月7日

(31) 優先権主張番号 特願平8-321931

(32) 優先日 平8(1996)12月2日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 早坂 伸夫

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 奥村 勝弥

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 佐々木 圭一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

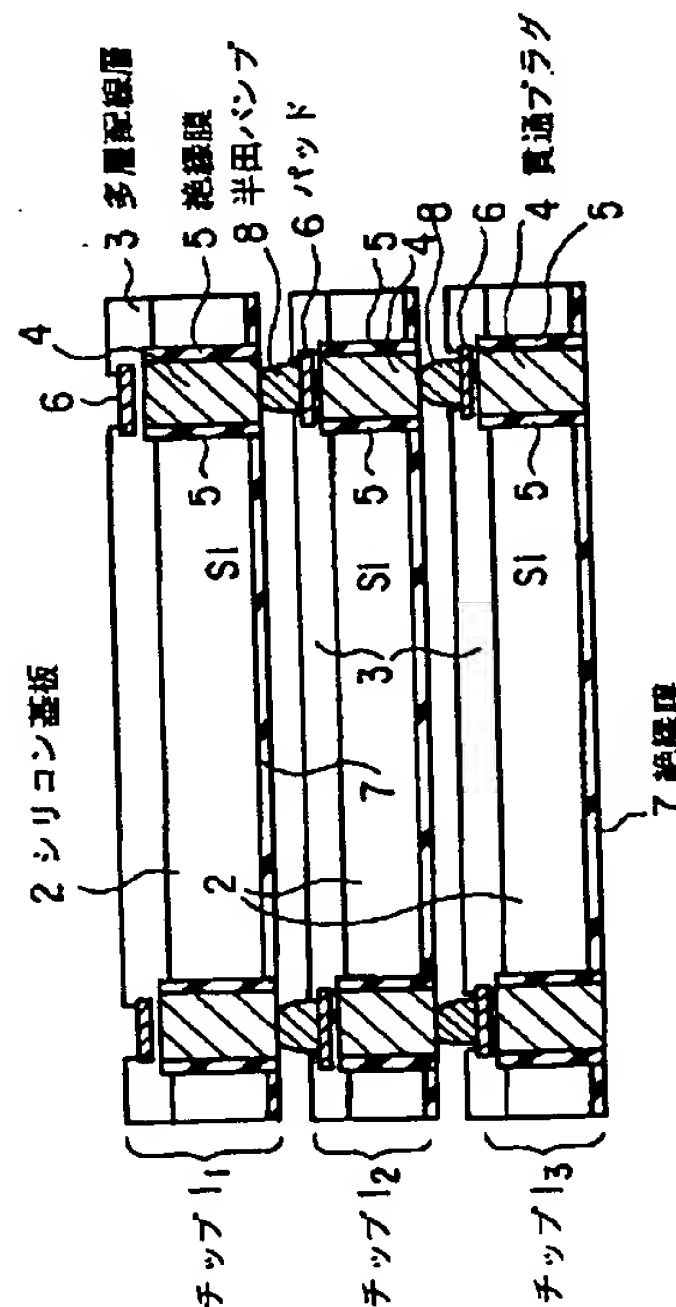
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 マルチチップ半導体装置、ならびにマルチチップ半導体装置用チップおよびその形成方法

(57) 【要約】

【課題】 装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現すること。

【解決手段】 素子が集積形成されたシリコン基板2を有するチップ1₁、1₂、1₃が積層されたマルチチップ半導体装置において、各チップ1₁、1₂、1₃は、それぞれ、シリコン基板2を貫通する貫通孔内に金属プラグ4が形成された構造を有し、かつこの金属プラグ4を介してチップ間の電氣的接続がとられている。



【特許請求の範囲】

【請求項 1】 表面に素子が集積形成され半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、

少なくとも 1 つのチップは、その半導体基板および層間絶縁膜を貫通する貫通孔内に、金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも 1 つのチップは、前記接続プラグを介して他のチップと電氣的に接続されていることを特徴とするマルチチップ半導体装置。

【請求項 2】 前記接続プラグを有するチップは、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電氣的に接続されていることを特徴とする請求項 1 に記載のマルチチップ半導体装置。

【請求項 3】 表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜と、この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電氣的に接続するための金属からなる接続プラグとを具備してなることを特徴とするマルチチップ半導体装置用チップ。

【請求項 4】 前記接続プラグは、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする請求項 3 に記載のマルチチップ半導体装置用チップ。

【請求項 5】 前記接続プラグは、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨脹係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする請求項 3 に記載のマルチチップ半導体装置用チップ。

【請求項 6】 前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする請求項 3 に記載のマルチチップ半導体装置用チップ。

【請求項 7】 前記接続プラグは、前記貫通孔の前記半導体基板表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電氣的に接続するための接続部材が設けられることを特徴とする請求項 3 に記載のマルチチップ半導体装置用チップ。

【請求項 8】 半導体基板表面に素子を集積形成する工程

と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、

前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

10 前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項 9】 半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

20 この孔の側壁および底部に、該孔を充填しない厚さの第 1 の絶縁膜を形成する工程と、

前記孔内を前記第 1 の絶縁膜よりもエッチング速度の速い第 2 の絶縁膜で充填する工程と、

前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子と接続する配線層を形成する工程と、

前記半導体基板裏面から、前記半導体基板および前記第 1 の絶縁膜を後退させて、前記孔の底部の前記第 2 の絶縁膜を露出させる工程と、

30 前記孔内の前記第 2 の絶縁膜を選択的にエッチング除去した後、前記第 1 の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項 10】 半導体基板表面に素子を集積形成する工程と、

前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、

40 この孔の側壁および底部に、該孔を充填しない厚さの第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、

前記孔内の底部の前記第 1 の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、

前記孔の底部の前記第 1 の絶縁膜より上の、前記孔の側壁の前記第 1 の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッチングする工程と、

50 前記孔の底部側の前記半導体基板裏面全面に第 2 の絶縁膜を形成する工程と、

前記孔の底部の前記金属プラグが露出するまで、前記第1および第2の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第2の絶縁膜を選択的に残置させる工程とを有することを特徴とするマルチチップ半導体装置用チップの形成方法。

【請求項11】前記孔の形成は、前記半導体基板上に形成する配線層のうち、最も融点の低い配線層を形成する前に行なうことを特徴とする請求項8、請求項9および請求項10のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【請求項12】前記半導体基板の後退は、該半導体基板をウェハから切り出した後に行なうことを特徴とする請求項8、請求項9および請求項10のいずれかに記載のマルチチップ半導体装置用チップの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のチップを用いた半導体装置であるマルチチップ半導体装置、ならびにマルチチップ半導体層用チップおよびその形成方法に関する。

【0002】

【従来の技術】近年、コンピューターや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、半導体基板上に集積化して形成した大規模集積回路（チップ）が多用されている。このため、機器全体の性能は、チップ単体の性能と大きく結び付いている。

【0003】一方、複数のチップを用いて、機器全体の性能を図ったいわゆるマルチチップ半導体装置も提案されている。図25～図27に、従来のマルチチップ半導体装置の断面図を示す。

【0004】図25は、例えば、積層の配線基板81上に複数のチップ82を平面配置するタイプのマルチチップ半導体装置を示している。なお、図中、83は半田バンプを示している。また、図26は、表面を向かい合わせ（Face to Face）にしてチップ同士を接続するタイプのマルチチップ半導体装置を示している。また、図27は、複数のチップ82を積層板84を用いて積層配置するタイプのマルチチップ半導体装置を示している。

【0005】

【発明が解決しようとする課題】しかしながら、これらの従来のマルチチップ半導体装置には、以下のような問題がある。

【0006】すなわち、図25の従来のマルチチップ半導体装置は、複数のチップ82を平面配置するため、装置の平面面積が大きいという問題がある。

【0007】また、図26の従来のマルチチップ半導体装置は、複数のチップ82を積層するため、装置の平面面積が大きくなるという問題はないが、積層枚数が2枚

に限定されるという問題がある。また、それぞれのチップを電氣的にテストすることが困難である。

【0008】また、図27の従来のマルチチップ半導体装置は、複数のチップ82を積層できるので、装置の平面面積が大きくなる問題や、積層枚数が2枚に限定されるという問題はないが、チップ間に積層板84を設ける必要があるため、構造が複雑になったり、コストや厚さが増大したりする。

【0009】本発明は、上記事情を考慮してなされたもので、その目的とするところは、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を提供することにある。また、本発明の他の目的は、このようなマルチチップ半導体装置の実現を可能とするマルチチップ半導体装置用チップおよびその形成方法を提供することにある。

【0010】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係るマルチチップ半導体装置（請求項1）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜とを有するチップを複数積層してなるマルチチップ半導体装置において、少なくとも1つのチップが、その半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有する少なくとも1つのチップが、前記接続プラグを介して他のチップと電氣的に接続されていることを特徴とする。

【0011】上記層間絶縁膜は、素子を覆う第1層目の層間絶縁膜である。

【0012】また、本発明に係る他のマルチチップ半導体装置（請求項2）は、上記マルチチップ装置（請求項1）において、前記接続プラグを有するチップが、該チップの直上および直下のチップの少なくとも一方のチップに対して、接続部材、または接続部材および実装部材を介して、電氣的に接続されていることを特徴とする。

【0013】接続部材は例えば金属バンプであり、また実装部材は例えば配線基板またはTABテープである。

【0014】また、本発明に係る他のマルチチップ半導体装置（請求項3）は、表面に素子が集積形成された半導体基板と、この半導体基板表面上に形成された層間絶縁膜と、この層間絶縁膜および前記半導体基板を貫通する貫通孔内に形成され、他のチップと電氣的に接続するための金属からなる接続プラグとを備えていることを特徴とする。

【0015】また、本発明に係る他のマルチチップ半導体装置（請求項4）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔内に設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成されていることを特徴とする。

【0016】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項5）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔内に設けられ、中空部を有する金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記中空部内に設けられ、前記半導体基板との熱膨脹係数の差が、前記金属プラグよりも小さい低ストレス膜とから構成されていることを特徴とする。

【0017】本発明に係るマルチチップ半導体装置用チップ（請求項6）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔の前記半導体基板の表面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜と、前記金属プラグ上に設けられ、前記貫通孔を充填するキャップ膜とから構成されていることを特徴とする。

【0018】また、本発明に係る他のマルチチップ半導体装置用チップ（請求項7）は、上記マルチチップ半導体装置用チップ（請求項3）において、前記接続プラグが、前記貫通孔の前記半導体基板の裏面側の途中の深さまで設けられた金属プラグと、この金属プラグと前記貫通孔の側壁との間に設けられた絶縁膜とから構成され、前記貫通孔の未充填部分に、他のチップと電気的に接続するための接続部材が設けられることを特徴とする。

【0019】ここで、前記接続部材が設けられた側の前記半導体基板の裏面は、前記接続部材の部分を除いて絶縁膜で覆われていることが好ましい。

【0020】また、本発明に係るマルチチップ半導体装置用チップの形成方法（請求項8）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの絶縁膜を形成する工程と、前記絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記半導体基板裏面から、前記半導体基板および前記絶縁膜を後退させて、前記孔の底部の前記金属プラグを露出させる工程とを有することを特徴とする。また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項9）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、前記孔内を前記第1の絶縁膜よりもエッチング速度の速い第2の絶縁膜で充填する工程と、前記層間絶縁膜に接続孔を形成し、この接続孔を介して前記素子

と接続する配線層を形成する工程と、前記半導体基板裏面から、前記半導体基板および前記第1の絶縁膜を後退させて、前記孔の底部の前記第2の絶縁膜を露出させる工程と、前記孔内の前記第2の絶縁膜を選択的にエッチング除去した後、前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程とを有することを特徴とする。

【0021】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項10）は、半導体基板表面上に素子を集積形成する工程と、前記半導体基板表面上に層間絶縁膜を形成する工程と、この層間絶縁膜および前記半導体基板をエッチングし、前記層間絶縁膜を貫通し、かつ前記半導体基板を貫通しない孔を形成する工程と、この孔の側壁および底部に、該孔を充填しない厚さの第1の絶縁膜を形成する工程と、前記第1の絶縁膜で被覆された前記孔内に金属プラグとしての金属を充填する工程と、前記孔内の底部の前記第1の絶縁膜が露出するまで、前記半導体基板裏面から、前記半導体基板を後退させる工程と、前記孔の底部の前記第1の絶縁膜より上の、前記孔の側壁の前記第1の絶縁膜が露出するまで、前記孔の底部側の前記半導体基板を選択的にエッチングする工程と、前記孔の底部側の前記半導体基板裏面全面に第2の絶縁膜を形成する工程と、前記孔の底部の前記金属プラグが露出するまで、前記第1および第2の絶縁膜を後退させて、前記孔の底部側の前記半導体基板裏面に、前記第2の絶縁膜を選択的に残置させる工程とを有することを特徴とする。

【0022】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項11）は、上記マルチチップ半導体装置用チップの形成方法（請求項8～10）において、前記孔の形成を、前記半導体基板上に形成する配線のうち、最も融点の低い配線を形成する前に行なうことを特徴とする。

【0023】また、本発明に係る他のマルチチップ半導体装置用チップの形成方法（請求項12）は、上記マルチチップ半導体装置用チップの形成方法（請求項9～10）において、前記半導体基板の後退を、該半導体基板をウェハから切り出した後に行なうことを特徴とする。

【0024】〔作用〕本発明（請求項1, 2）によれば、複数のチップを積層しているため、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【0025】また、本発明によれば、半導体基板および層間絶縁膜を貫通する貫通孔内に形成された金属からなる接続プラグにより、チップ同士を接続しているため、Face to Faceによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が2枚に限定されるという問題はない。

【0026】さらに、チップ同士の接続に積層板を用いていないため、積層板によりチップ同士を接続する従来

のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【0027】したがって、本発明によれば、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【0028】また、本発明（請求項3～7）のマルチチップ半導体装置用チップは、半導体基板および層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電氣的に接続するための金属からなる接続プラグを有している。

【0029】したがって、このようなマルチチップ半導体装置用チップを用いたマルチチップ半導体装置は、本発明（請求項1, 2）と同じ作用により、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いものとなる。

【0030】また、上記本発明（請求項1～7）において、接続プラグは、チップの放熱を促進するという効果がある。また、チップ裏面から接続プラグに検査プローブをあてることにより装置またはチップの検査を行なうことができる。

【0031】また、本発明（請求項8）では、半導体基板および層間絶縁膜を貫通する貫通孔を直接開孔することとはしない。何故なら、半導体基板は一般に厚く、貫通孔を直接開孔することは困難であるからである。

【0032】すなわち、本発明では、まず、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成し、次にこの孔内に絶縁膜を介して接続プラグとしての金属膜を形成する。

【0033】このような工程の後、本発明では、孔が形成された表面と反対側の表面から、半導体基板および絶縁膜を後退させて、孔の底部側の金属膜を露出させることにより、貫通孔を形成する。したがって、本発明によれば、もとの半導体基板の厚くても、貫通孔を容易に形成できるようになる。

【0034】また、本発明（請求項9）では、孔内を第1の絶縁膜よりもエッチング速度の速い第2の絶縁膜で充填した状態で、層間絶縁膜に接続孔を形成し、この接続孔を介して素子と接続する配線層を形成し、その後第2の絶縁膜を選択的にエッチング除去して孔内に金属膜を形成する。このため、金属膜は、配線層を形成する際の高温の工程の影響を受けずに済む。

【0035】これにより、金属膜の構成元素が半導体基板に拡散することによるチップの特性劣化を防止することができる。また、金属膜の構成元素の拡散を防止するためにバリア膜などの拡散防止構造を形成する場合とは異なり、プロセスが複雑化になることも無い。

【0036】また、本発明（請求項10）によれば、貫通孔を容易に形成できるとともに、孔の底部側の半導体基板の露出面を第2の絶縁膜により容易に被覆できるようになる。

【0037】また、半導体基板の後退は、本発明（請求項12）のように、半導体基板をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、研磨やエッチングにより均一に後退を行なうのが困難であるからである。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0039】（第1の実施形態）図1は、本発明の第1の実施形態に係るマルチチップ半導体装置の断面図である。

【0040】このマルチチップ半導体装置は、3つのチップ1₁, 1₂, 1₃が積層された構成となっている。各チップ1₁, 1₂, 1₃は、それぞれ、大きく分けて、表面に素子が集積形成されたシリコン基板2と、集積形成された素子を所定の関係に接続するための多層配線層3と、この多層配線層3の第1の層間絶縁膜およびシリコン基板1を貫通する貫通孔内に形成され、チップ同士を電氣的に接続するための接続プラグ（金属プラグ4、絶縁膜5）とから構成されている。

【0041】多層配線層3は、素子を覆う第1の層間絶縁膜と、この第1の層間絶縁膜に形成されたコンタクトホール（第1の接続孔）を介して素子に接続する第1の配線層と、第1の層間絶縁膜上に形成され、第1の配線層を覆う第2の層間絶縁膜と、この第2の層間絶縁膜に形成されたヴィアホール（第2の接続孔）を介して第1の配線層と接続する第2の配線層とを有する。なお、3層以上の多層配線層であっても良い。

【0042】金属プラグ4は素子形成領域の外側に形成されている。また、金属プラグ4とシリコン基板1および第1の層間絶縁膜との間、言い換えれば金属プラグ4と貫通孔との間には絶縁膜5が設けられている。この絶縁膜5と金属プラグ4とで接続プラグが構成されている。

【0043】また、各チップ1₁, 1₂, 1₃の多層配線層3には、それぞれ、パッド6が設けられている。また、各チップ1₁, 1₂, 1₃のパッド6とは反対側のシリコン基板2の裏面のシリコン領域、言い換えれば接続プラグ（金属プラグ4、絶縁膜5）以外の領域は絶縁膜7で被覆されている。

【0044】チップ1₁の金属プラグ4は、半田バンプ8を介して、チップ1₂の多層配線層3に設けられたパッド6に電氣的に接続している。これにより、チップ1₁はチップ1₂と電氣的に接続することになる。なお、半田バンプ8以外のバンプを用いても良い。

【0045】同様に、チップ1₂の金属プラグ4は、半田バンプ8を介して、チップ1₃の多層配線層3に設けられたパッド6に電氣的に接続し、チップ1₂はチップ1₃と電氣的に接続している。このようにしてチップ1₁, 1₂, 1₃間は電氣的に接続されることになる。

【0046】本実施形態によれば、チップ 1_1 、 1_2 、 1_3 を積層しているので、複数のチップを平面位置する従来のマルチチップ半導体装置とは異なり、装置の平面面積が増大するという問題はない。

【0047】また、本実施形態によれば、シリコン基板2および第1の層間絶縁膜を貫通する金属プラグ4により、チップ同士を接続しているので、Face to Faceによりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、チップの積層枚数が2枚に限定されるという問題はない。

【0048】さらに、チップ同士の接続に積層板を用いていないので、積層板によりチップ同士を接続する従来のマルチチップ半導体装置とは異なり、構造が複雑になったり、厚みが増大するという問題はない。

【0049】さらにまた、金属プラグ4には、放熱を促進する効果がある。

【0050】したがって、本実施形態によれば、装置の平面面積が小さく、構造が単純で、厚さが薄く、かつ放熱性に優れたマルチチップ半導体装置を実現できるようになる。

【0051】なお、実施形態では、チップ数が3の場合について説明したが、本実施形態のチップ構造であれば、4個以上のチップも同様にして接続できる。また、金属プラグ4を有するチップの全てが必ずしも金属プラグ4を介して接続する必要はない。すなわち、放熱性の改善の目的のみで金属プラグ4を形成したチップがあっても良い。

【0052】（第2の実施形態）図2は、本発明の第2の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0053】本実施形態は、真中のチップ 1_2 だけが接続プラグ（金属プラグ4、絶縁膜5）を有する例である。

【0054】チップ 1_1 の多層配線層3に設けられたパッド6は、半田バンプ8を介して、チップ 1_2 の多層配線層3に設けられたパッド6に電氣的に接続している。これにより、チップ 1_1 はチップ 1_2 と電氣的に接続することになる。また、チップ 1_2 の金属プラグ4は、半田バンプ8を介して、チップ 1_3 の多層配線層3に設けられたパッド6に電氣的に接続し、チップ 1_2 はチップ 1_3 と電氣的に接続している。このようにしてチップ 1_1 、 1_2 、 1_3 間は電氣的に接続されることになる。

【0055】本実施形態でも第1の実施形態と同様な効果が得られる。ただし、真中のチップ 1_2 だけしか接続プラグ（金属プラグ4、絶縁膜5）を有していないので、4個以上のチップを積層することはできない。しかし、接続プラグは1個で済むので、コスト的に有利である。

【0056】（第3の実施形態）図3は、本発明の第3の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0057】本実施形態は、2つのチップ 1_1 、 1_2 がセラミック製の積層配線基板9を介して接続する例である。

【0058】チップ 1_1 の多層配線層3に設けられたパッド6は、半田バンプ8を介して、積層配線基板9に設けられたパッド6に電氣的に接続している。このパッド6に電氣的に接続している積層配線基板9に設けられた他のパッド6は、チップ 1_2 の多層配線層3に設けられたパッド6に電氣的に接続している。これにより、チップ 1_1 はチップ 1_2 と電氣的に接続することになる。

【0059】本実施形態でも第1の実施形態と同様な効果が得られる。さらに、本実施形態によれば、チップ 1_2 の多層配線層3に設けられたパッド6に検査プローブをあてて装置の検査を行なうことができる。

【0060】これに対して、図2に示すように、金属プラグ4を有するチップ 1_2 がチップ間にある構成だと、検査プローブをあてることができないので、このような検査は行なうことができない。

【0061】（第4の実施形態）図4、図5は、本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す工程断面図である。

【0062】まず、図4(a)に示すように、シリコン基板10を用意する。このシリコン基板10は素子形成後のものであり、その表面は第1の層間絶縁膜11で覆われている。この第1の層間絶縁膜11の材料には、窒化シリコンのように SiO_2 とエッチング選択比が取れるものが選ばれている。

【0063】次に図4(b)に示すように、 SiO_2 からなる厚さ $1\mu m$ のマスクパターン12を第1の層間絶縁膜11上に形成した後、マスクパターン12をマスクにして、エッチングガスがF系ガスのRIE法にて、第1の層間絶縁膜11およびシリコン基板10をエッチングすることにより、第1の層間絶縁膜11を貫通し、かつシリコン基板10を貫通しない孔13を形成する。この後、孔13の形成の際に生じたシリコン基板10の欠陥を回復するためのアニールを行なうことが好ましい。

【0064】シリコン基板10における孔の深さは $100\mu m$ である。これに第1の層間絶縁膜11の厚さを加えたものが孔13の全体の深さとなる。孔13は最終的には貫通孔となる。

【0065】なお、シリコン基板10をRIE法にてエッチングして孔を形成し、次に第1の層間絶縁膜11を形成し、次に第1の層間絶縁膜11、または第1の層間絶縁膜11およびシリコン基板10をRIE法にてエッチングして、孔13を形成することも可能である。

【0066】この場合、最初のエッチングの際に用いるマスクパターンとしては、 SiO_2 やAlや Al_2O_3 などの材料からなるものが使用できる。

【0067】また、孔13（貫通孔）を形成する加工技術はRIEに限定されるものではなく、光エッチング、ウェットエッチング、超音波加工、放電加工を用いることもできる。さらに、上記加工技術を適宜組み合わせても良い。なお、RIEまたは光エッチングと、ウェットエッチングとを組み合わせた方法については後で説明する。

【0068】次に図4（c）に示すように、全面に厚さ100nmの SiO_2 膜、厚さ100nmの Si_3N_4 膜をLPCVD法を用いて順次堆積して、 $\text{SiO}_2/\text{Si}_3\text{N}_4$ の積層絶縁膜14（第1の絶縁膜）を形成する。なお、積層絶縁膜14の代わりに、単層の絶縁膜を用いても良い。

【0069】次に図4（d）に示すように、金属プラグとなる金属膜15を孔13から溢れる厚さに全面に形成して、孔13を金属膜15で埋め込む。

【0070】ここで、金属膜15としては、例えばW膜、Mo膜、Ni膜、Ti膜、これらの金属シリサイド膜があげられる。また、金属膜15の形成方法としては、例えばCVD法、スパッタ法またはメッキ法があげられる。

【0071】次に図5（e）に示すように、CMP法やエッチバック法等の方法を用いて、第1の層間絶縁膜11の表面が露出するまで、金属膜15、積層絶縁膜14を後退させる。

【0072】この結果、孔13に金属膜（金属プラグ）15が埋め込まれた構造が形成される。このような構造は他の形成方法でも形成できる。その形成方法は後で説明する（図14、図15）。

【0073】次に図5（f）に示すように、シリコン基板10上に第1の層間絶縁膜11とともに多層配線層を構成する多層配線構造16を形成する。多層配線構造16は金属配線（配線層）、層間絶縁膜、プラグなどから構成される。この後、多層配線構造16の表面に溝を形成した後、この溝にパッド17を形成する。

【0074】図6、図7に、それぞれ、孔13の領域の多層配線層、素子領域の多層配線層の具体的な構造の一例を示す。

【0075】素子領域にはMOSトランジスタが形成されている。また、図において、11aは第2の層間絶縁膜、11bは第3の層間絶縁膜、11cは第4の層間絶縁膜、11nはn番目の層間絶縁膜、19aおよび20aは第1の金属配線、19bおよび20bは第2の金属配線、20cは第3の金属配線を示している。

【0076】次に図5（g）に示すように、孔13の底部の絶縁膜14が露出するまで、孔13が形成された表面と反対側のシリコン基板裏面から、シリコン基板10

を後退させる。

【0077】ここで、シリコン基板10の後退（薄化）は、例えば、CMP、化学研磨、機械研磨、ウェットエッチング、プラズマエッチングまたはガスエッチングの加工技術を用いた方法、またはこれら加工技術を組み合わせた方法により行なう。これらの中ではCMPが最も代表的な方法であり、また好ましい。

【0078】この図5（g）の工程は、シリコン基板10と絶縁膜14の間で選択比が取れる条件で行なうことが好ましい。このような条件で行なえば、絶縁膜14のところで自動的に同工程を終了することが可能となる。

【0079】次に図5（h）に示すように、孔13の底部の絶縁膜14より上の、孔13の側壁の絶縁膜14が露出するまで、孔13の底部側のシリコン基板10の裏面を選択的にエッチングする。このエッチングには、例えば、CDE、RIE等のドライエッチングまたはウェットエッチングを用いる。なお、エッチングの代りにCMPを用いても良い。

【0080】この後、上記エッチングまたはCMPにより生じたダメージ層を例えばウェットエッチングにより除去する。なお、この除去工程は、ダメージ層が生じない場合には不要である。ダメージ層を除去する理由は、ダメージ層は次の SiO_2 膜18の形成工程に影響を与えるからである。

【0081】次に同図（h）に示すように、プラズマCVD法を用いて、孔13の底部側のシリコン基板10の裏面全面に SiO_2 膜18（第2の絶縁膜）を形成する。なお、低温プロセスが要求される場合には、 SiO_2 膜18の代わりに、SOG膜等の塗布膜を用いると良い。また、シリコン基板10が受ける応力を小さくしたい場合には、 SiO_2 膜18の代わりに、ポリイミド膜等の有機膜を用いると良い。

【0082】次に図5（i）に示すように、金属プラグ15を露出するまで、CMP法を用いて SiO_2 膜18、積層絶縁膜14を研磨する。

【0083】この結果、貫通孔（孔13）内に絶縁膜14と金属プラグ15からなる接続プラグが埋め込まれ、かつシリコン基板10の裏面のシリコン領域が SiO_2 膜18で被覆された構造が完成する。

【0084】以上述べたように、本実施形態では、シリコン基板10の表面に該シリコン基板10を貫通しない孔13を形成した後、裏面からシリコン基板10等を研磨することにより、貫通孔（孔13）内が接続プラグ（絶縁膜14、金属プラグ15）で埋め込まれた構造を形成している。

【0085】したがって、本実施形態によれば、もとのシリコン基板1が厚くても（通常は厚い）、深い貫通孔を形成する必要がないので、貫通孔（孔13）が接続プラグ（絶縁膜14、金属プラグ15）で埋め込まれた構造を容易に形成できるようになる。

【0086】また、本実施形態の方法は、厚いシリコン基板の裏面からエッチングして深い貫通孔を形成する方法の場合とは異なり、表/裏のパターンの位置合わせが必要なフォトリソグラフィが不要となるので、接続プラグの形成プロセスは簡単で工程数も少なくて済む。

【0087】なお、裏面のシリコン領域を SiO_2 膜18で覆う必要がない場合には、図5(g)の工程で、金属プラグ15が露出するまで、シリコン基板10および積層絶縁膜14を研磨することで、貫通孔(孔13)が接続プラグ(絶縁膜14、金属プラグ15)で埋め込まれた構造が完成する。

【0088】また、シリコン基板10の研磨(後退)は、シリコン基板10をウェハから切り出した後に行なうことが好ましい。何故なら、ウェハは一般に大きく、機械的強度が弱いので、均一に研磨(後退)を行なうのが困難であるからである。

【0089】また、金属配線の形成前に孔13を形成し、その内部に金属膜を埋め込んで金属プラグ15を形成しているので、金属配線は金属プラグ15を形成する際の熱工程の影響を受けずに済む。さらに、金属配線は孔13をRIEにより形成した後に行なう欠陥回復のためのアニールの影響も受けずに済む。

【0090】これにより、例えば金属配線としてAl配線(Alの融点は 660°C)を用いた場合に、金属プラグ15を抵抗の低いAu等の導電ペースト(焼結温度は 600°C 程度)で形成することが可能となる。

【0091】また、素子形成後に金属プラグ15を形成しているので、金属プラグ15の構成金属の拡散による素子特性の劣化を防止できる。

【0092】逆に、金属プラグ15を形成した後に素子を形成すると、素子を形成するために必要な高温の熱工程で、金属プラグ15の構成金属が素子領域にまで拡散し、素子特性が劣化するという問題が生じる。

【0093】図8に、種々の構造の接続プラグの断面図を示す。これは図5(f)の工程に相当する断面図である。なお、図において、19は金属配線を示している。

【0094】図8(a)は、本実施形態の接続プラグを示している。

【0095】図8(b)は、低ストレス膜18を有する接続プラグを示している。

【0096】すなわち、この接続プラグでは、貫通孔内に未充填部分ができるように金属プラグ15が形成され、そして未充填部分に半導体基板10aとの熱膨脹係数の差が金属プラグ15よりも小さい低ストレス膜18が形成され、貫通孔が充填されている。

【0097】低ストレス膜18は、絶縁膜、半導体膜、金属膜のいずれでも良い。具体的には、導電ペースト膜、FOX膜、SOG膜、HDP(High Density Plasma)-CVD法で形成した SiO_2 膜などがあげられる。

【0098】このような接続プラグを用いることにより、接続プラグの形成部分に大きなストレスがかかり、シリコン基板10中に欠陥が発生することによる素子特性の劣化を防止することができる。

【0099】図8(c)は、キャップ金属膜45を有する接続プラグを示している。

【0100】すなわち、金属プラグ15は、貫通孔の途中の深さまでしか形成されておらず、この金属プラグ15の上面には、貫通孔を充填するキャップ金属膜45が形成されている。また、図8(d)は、キャップ金属膜45の代わりに、キャップ絶縁膜46を用いた接続プラグを示している。

【0101】このようなキャップ金属膜45、キャップ絶縁膜46により、金属プラグ15の表面を平坦にでき、これにより金属プラグ15上に微細な金属配線19を容易に形成することができるようになる。

【0102】また、低温で形成できるキャップ絶縁膜46を用いることにより、後工程で金属プラグ15の表面が酸化されるなどの不都合を防止することができる。

【0103】図9は、孔13の他の形成方法を示す工程断面図である。これは、RIEまたは光エッチングと、ウェットエッチングとを組み合わせた形成方法である。

【0104】まず、図9(a)に示すように、主面が{100}のシリコン基板10上に第1の層間絶縁膜11を形成する。次に同図(a)に示すように、第1の層間絶縁膜11上にマスクパターン12を形成した後、このマスクパターン12をマスクにして第1の層間絶縁膜11およびシリコン基板10をエッチングして、断面形状が長方形の孔13₁を形成する。

【0105】ここで、エッチングとしては、RIE、または光エッチング(光化学エッチング、光溶発(光アブレーション)エッチング)を用いる。特に光エッチングは、高速エッチング、低ダメージという利点を有するので、深い孔13₁を形成するのに適している。光化学エッチングの場合には、例えば、エッチングガスとして Cl_2 ガス、励起光として紫外線を用いる。

【0106】次に図9(b)に示すように、マスクパターン12をマスクにしてシリコン基板10をウェットエッチングして、{111}面を露出させる。この結果、断面形状が三角形の孔13₂が形成される。エッチング液としては、例えば、温度が $60\sim 90^\circ\text{C}$ のKOH溶液を用いる。

【0107】次に同図(b)に示すように、孔13₂内に、例えば、Ni、Ti、Zr、Hf、V等の金属21を配置する。具体的には、金属21を孔13₂の底の部分に配置する。

【0108】次に図9(c)に示すように、熱処理により、金属21とシリコン基板10とを反応させて、孔13₂の下部のシリコン基板10に金属シリサイド膜22を形成する。

【0109】次に図9(d)に示すように、金属シリサイド膜22を選択的にエッチング除去して、より深い孔13_oを形成する。最後に、絶縁膜形成および金属埋め込みを行なった後、基板裏面を研磨することにより、深い貫通孔が得られる。

【0110】このように孔を段階的に深くすることにより、深い孔を容易に形成できるようになり、これにより貫通孔を容易に形成できるようになる。

【0111】図10に、金属プラグの他の形成方法を示す。

【0112】図10(a)は、全面に導電ペースト23を塗布した後、熱処理により導電ペースト23を流動化させて、孔内に導電ペースト23を埋め込むという方法を示している。孔外の余剰な導電ペースト23は、例えばCMP法を用いて除去する。

【0113】図10(b)は、全面に金属微粒子24を堆積して、孔内を微粒子24で埋め込んだ後、孔外の余剰な金属微粒子24をCMP法等を用いて除去するという方法を示している。

【0114】なお、金属微粒子29の代わりに、金属粒が分散された溶剤(懸濁液)を用いても良い。

【0115】図10(c)は、全面にシリコン膜25を堆積し、次にシリコン膜25上にTi膜等の高融点金属膜(不図示)を堆積した後、熱処理により高融点金属膜とシリコン膜25とを反応させて、金属シリサイド膜26を形成するという方法を示している。孔外の余剰な金属シリサイド膜26は、例えばCMP法等を用いて除去する。

【0116】シリコン膜は絶縁膜上にコンフォーマルに堆積する。また、シリコン膜と金属膜の密着性は高い。したがって、図10(c)の方法の場合、孔が深くても、孔内の積層絶縁膜14の全面はシリコン膜25で覆われるので、孔内の積層絶縁膜14の全面を覆う金属シリサイド膜31が形成される。なお、孔内に空洞部が残った場合には、例えば、低ストレス膜で埋めると良い。

【0117】図11に、金属プラグのさらに別の形成方法を示す。

【0118】まず、図11(a)に示すように、孔13の側壁および底部の全面を被覆し、空洞部を有するシリコン膜27を形成する。この後、同図(a)に示すように、孔13内に直径10μm程度のNi粒28(金属ボール)を配置する。

【0119】次に図11(b)に示すように、熱処理によりシリコン膜27とNi粒28とを反応させ、孔13内にニッケルシリサイド膜29を形成する。孔13内には十分な量のシリコン膜27およびNi粒28がないので、ニッケルシリサイド膜29の上部には空洞部が残る。

【0120】最後に、図11(c)に示すように、全面にキャップ膜30となる絶縁膜または金属膜を堆積した

後、この絶縁膜または金属膜を研磨して、ニッケルシリサイド膜30の上部の空洞部をキャップ膜35で埋める。

【0121】なお、金属プラグを形成する方法はこれまでに述べた方法(CVD法、スパッタ法、メッキ法、導電ペーストを用いた方法、金属微粒子を用いた方法、金属ボールを用いた方法、懸濁液を用いた方法)に限定されるものではなく、これらの方法を適宜組み合わせた方法など種々の方法が可能である。

10 【0122】図12に、接続プラグの他の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板11の裏面を研磨して貫通孔を形成した後、金属プラグ15を形成することにある。

【0123】まず、図12(a)に示すように、表面に素子が形成されたシリコン基板10上にA1からなるマスクパターン12aを形成した後、このマスクパターン12aをマスクにして、第1の層間絶縁膜11およびシリコン基板10をエッチングし、孔13を形成する。この後、マスクパターン12aを除去する。

20 【0124】次に図12(b)に示すように、全面にSOG膜31を形成した後、孔13が完全に埋め込まれるように全面にFOX膜32を形成する。

【0125】次に図12(c)に示すように、孔13外のSOG膜31およびFOX膜32を例えばCMP法またはエッチバック法を用いて除去する。

【0126】この後、図5(e)～図5(i)に示した工程を行なう。

30 【0127】次に図12(d)に示すように、孔13内のFOX膜32を例えばCDE法を用いて除去した後、図4(d)、図5(e)の工程と同様に、孔13内に金属膜からなる金属プラグ15を埋込み形成する。

【0128】なお、図13に示すような接続構造の場合には、金属プラグ15の形成後にパッド33、Auボールなどの金属ボール34を形成する。

【0129】図14および図15に、接続プラグのさらに別の形成方法を示す。この方法がこれまでの方法と異なる点は、シリコン基板10とは別のところであらかじめ形成された金属プラグ15を孔13内に埋め込むことにある。

40 【0130】最初に、金属プラグ15の形成方法について説明する。

【0131】まず、図14(a)に示すように、SiO₂からなる基板35の表面に溝36を形成する。

【0132】次に同図(a)に示すように、溝36内に金属ボール37を埋め込む。

【0133】最後に、図14(b)に示すように、熱処理により金属ボール37を溶融することにより、溝36内に金属膜からなる金属プラグ15を形成する。

50 【0134】次にこのようにあらかじめ形成された金属プラグ15を利用して、接続プラグを形成する方法につ

いて説明する。

【0135】まず、図14(c)に示すように、粘着フィルム38に金属プラグ15を接着させる。

【0136】次に図15(d)に示すように、粘着フィルム38に接着された金属プラグ15を溝36から取り出す。

【0137】次に図15(e)に示すように、図4(c)の工程の段階のシリコン基板10の孔13内に、粘着フィルム38に接着された金属プラグ15を埋め込む。この後、粘着フィルム38を除去する。

【0138】次に図15(f)に示すように、熱処理により金属プラグ15を溶融させることにより、金属プラグ15を孔13内に固定する。

【0139】このような基板15にあらかじめ形成された金属プラグ15を利用する方法の場合、スパッタ法やCVD法などの成膜法を用いて、シリコン基板10上に金属プラグ4となる金属膜を形成する方法の場合に比べて、スループットが高くなり、またプロセス温度も低くて済む。

【0140】なお、ここでは基板35の材料としてSiO₂を選んだが、金属ボール37と反応しない材料であれば他の材料を用いても良い。

【0141】なお、金属ボール37の代わりに、AuまたはPd等の低抵抗の導電ペーストを用いても良い。この場合、スクリーン印刷法を用いて溝36内に導電性ペーストを埋め込んだ後、導電ペーストを焼結して金属プラグ15を形成する。

【0142】ここで、AuまたはPd等の導電ペーストは焼結温度の高いものであるが、導電ペーストの焼結は、シリコン基板10とは別のところである基板35で行なうので問題はない。また、導電ペーストは通常のものとは異なり、樹脂やガラスなどを含んでいる必要はない。

【0143】また、粘着フィルム38を用いて金属プラグ15を溝36から取り出したが、ピンセット等の他の手段により取り出しても良い。

【0144】また、孔13内にあらかじめ接着層を形成することにより、金属プラグ15を孔13内に固定しても良い。具体的には、例えばSOGまたはFOXなどを孔13内に塗布して接着層を形成した後、孔13内に金属プラグ15を埋め込む。その後、接着層を硬化させる。

【0145】(第5の実施形態)図16は、本発明の第5の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図である。なお、図4、図5のマルチチップ半導体装置用チップと対応する部分には図4、図5と同一符号を付してあり、詳細な説明は省略する。

【0146】本実施形態では、第4の実施形態の図5(i)の工程の後、図16(a)に示すように、シリコン基板10の裏面から、金属プラグ15をエッチングし

て、貫通孔に未充填部分を形成する。

【0147】次に図16(b)に示すように、金属プラグ15(貫通孔の未充填部分の凹部)と半田バンプ8とを位置合せした後、金属プラグ15と半田バンプ8とを接続する。

【0148】ここで、金属プラグ15と半田バンプ8との位置合せは、画像処理により行なうことが好ましい。何故なら、画面上で、未充填部分の凹部とそうでないところで濃淡の差が明確になるので、正確な位置合せを容易に行なえるからである。

【0149】また、バンプ8の側面が貫通孔の側面と接触することにより、未充填部分の凹部がない場合に比べて、バンプ8はより強固に固定されることになる。

【0150】なお、逆に金属プラグ15が貫通孔から突出する凸構造にしても良い。この場合、バンプ8はシリコン基板10とは接しないので、バンプ8によるシリコン基板10の汚染を効果的に防止することができる。

【0151】(第6の実施形態)図17は、本発明の第6の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。また、チップ1₁、1₂において、多層配線層3や絶縁膜5、7やパッド6などは省略してある。

【0152】本実施形態の特徴は、チップ1₁上に放熱フィン39を設けたことにある。この放熱フィン39は接着剤40によりチップ1₁に固定されている。なお、絶縁膜上にメタライズすることにより固定するなど他の固定方法を用いても良い。

【0153】本実施形態によれば、金属プラグ4および放熱ファン39によって装置の放熱性を十分に高くすることができるようになる。

【0154】(第7の実施形態)図18は、本発明の第7の実施形態に係るマルチチップ半導体装置の断面図である。なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。図中、7aは絶縁膜、42は溶剤を示している。

【0155】本実施形態の特徴は、チップ1₁とチップ1₂との間に放熱用のダミーバンプ8dを設けたことにある。

【0156】チップ1₁とチップ1₂とはダミーバンプ8dを介して機械的には接続するが電気的には接続しない。ダミーバンプ8dは、例えば図示しない金属膜を介してチップ1₁およびチップ1₂と接続させる。

【0157】ダミーバンプ8dの材料としては、例えばAu等の金属があげられる。金属でなくても、熱伝導の良い材料であれば、半導体や絶縁体を用いても良い。また、充填剤でも良い。また、ダミーバンプ8dと配線用バンプ8とを同じ材料で形成すれば、これらのバンプを同時に形成でき、工程数の増加を防止することができる。

【0158】なお、ダミーバンプ8dだけでも放熱性は改善されるが、放熱性を効果的に高めるためには、ダミーバンプ8dを放熱フィンに繋げる構成にすることが好ましい。

【0159】（第8の実施形態）図19は、本発明の第8の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【0160】図16に示した方法では、金属プラグ15に半田バンプ8を形成したが、本実施形態では、逆に、接続先の部材47（例えば金属プラグを有するチップ、金属プラグを有しないチップまたは積層配線基板）に半田バンプ8を形成し、この半田バンプ8と、シリコン基板2の裏面から突出した金属プラグ4を接続する。

【0161】この場合も、バンプ8はシリコン基板10とは接しないので、バンプ8によるシリコン基板10の汚染を効果的に防止することができる。

【0162】（第9の実施形態）図20は、本発明の第9の実施形態に係るマルチチップ半導体装置を示す模式図である。

【0163】なお、図1のマルチチップ半導体装置と対応する部分には図1と同一符号を付してある。また、チップ1₁、1₂、1₃において、多層配線層3や絶縁膜5、7やパッド6などは省略してある。また、チップ1₃は金属プラグ4が有っても無くても良い。

【0164】本実施形態は、実装部材としてTABテープを用いた例である。図中、43はプラスチックテープ、44はリード端子を示している。なお、図21に、TABテープを用いた従来のマルチチップ半導体装置の模式図を示す。図から、本実施形態に比べて平面面積が大きいことが分かる。

【0165】本実施形態によれば、チップ同士を積層でき、平面面積を小さくできるという効果の他に、金属プラグ4を用いて全てのチップ、一部のチップまたは各チップの検査を行なうことができる。

【0166】装置全体の検査であれば、図20に示した状態で、チップ1₁の多層配線層に設けられたパッド

（不図示）に検査プローブをあてて行なう。また、チップ1₁、1₂の検査であれば、チップ1₁、1₂を接続した後、チップ1₂の多層配線層に設けられたパッド（不図示）に検査プローブをあてて行なう。

【0167】（第10の実施形態）図22～図24は、本発明の第10の実施形態に係るマルチチップ半導体装置の製造方法を示す図である。

【0168】まず、周知の方法に従って、図22（a）に示すように、シリコン基板50にNAND型EEPROMのメモリセルおよび図示しない周辺素子を形成した後、第1の層間絶縁膜56を形成する。

【0169】なお、図中、51はトンネル酸化膜、52_aは浮遊ゲート電極、53はゲート電極間絶縁膜、52_bは制御ゲート電極、54はソース拡散層、55はドレ

イン拡散層を示している。また、実際には複数のメモリセルを形成するが、図には簡単のために1個のメモリセルしか示していない。

【0170】次に同図（a）に示すように、第1の層間絶縁膜56にコンタクトホールを形成した後、Ti・TiN積層膜57、Wビット線プラグ58を形成する。

【0171】具体的には、まず、コンタクトホールを形成し、次にTi膜、TiN膜を順次全面に形成した後、ブランケットCVD法を用いてW膜を全面に形成する。最後に、CMP法を用いてコンタクトホール外のW膜、Ti膜およびTiN膜を除去する。

【0172】次に図22（b）に示すように、第1の層間絶縁膜56上に例えばAlからなるマスクパターン59を形成し、このマスクパターン59をマスクにして、接続プラグが形成される領域の第1の層間絶縁膜56およびシリコン基板50をエッチングすることにより、深さが150～200μmで、100μm×100μm角の孔60を形成する。この後、マスクパターン59を除去する。

【0173】次に図22（c）に示すように、孔60内を覆うSiO₂膜61を形成し、その上に密着膜としての厚さ500nmの多結晶シリコン膜62を形成した後、孔60内に金属プラグとしてのNi膜63を埋め込む。

【0174】具体的には、厚さ500nmのSiO₂膜61、厚さ500nmの多結晶シリコン膜62、Ni膜63を全面に順次形成した後、CMP法を用いて孔60外の余剰なSiO₂膜61、多結晶シリコン膜62、Ni膜63を除去する。

【0175】また、Ni膜63は、例えばスクリーン印刷法を用いて孔60内にNiペーストを埋め込んだ後、600℃の熱処理によりNiペーストを焼結することにより形成する。

【0176】次に図23（d）に示すように、周知の方法に従って、ビット線64、第1の配線層65を形成する。

【0177】具体的には、例えばビット線64、第1の配線層65となる厚さ10nmのTi膜、厚さ10nmのTiN膜、厚さ400nmのAlCu膜、厚さ40nmのTiN膜の積層膜を形成した後、この積層膜をフォトリソグラフィとエッチングを用いて加工することにより形成する。

【0178】次に同図（d）に示すように、第2の層間絶縁膜66を形成し、この第2の層間絶縁膜66にヴィアホールを形成した後、プラグ67を介して第1の配線層65と接続する第2の配線層68を形成する。

【0179】第2の配線層68の形成方法は第1の配線層65のそれと同じである。また、プラグ67としては、例えばW膜を用いる。なお、メモリセルの領域の第2の配線層は省略してある。

【0180】次に同図(d)に示すように、第2の配線層68を覆うパッシベーション膜としての厚さ450nmの感光性のポリイミド膜69をプラズマCVD法を用いて形成した後、フォトリソグラフィとエッチングを用いて第2の配線層68上に開孔(パッド孔)を形成する。この後、パッド(不図示)にプローブをあてて、ウェハに形成された各チップについてその良品、不良品の判別を行なうことが望ましい。

【0181】次に図23(e)に示すように、シリコン基板50の裏面を機械的に研磨してNi膜63を露出させる。

【0182】この研磨工程は、シリコン基板50をウェハから切り出した後に行なうことが好ましい。その理由は先に述べたように、ウェハの状態では均一な研磨が困難であるからである。この後、研磨で生じたダメージをウエットエッチングにより除去する。なお、ウェハの表面に浅いスクライブラインを予め入れておき、裏面の研磨によってウェハが薄くなったときに、チップ分割が自動的に行なわれるようにすることが好ましい。

【0183】次に図23(f)に示すように、第2の配線層68上にAuボールバンプ70を形成した後、転写法を用いてAuボールバンプ70上に半田71を形成する。このとき、プローブ測定により良品のチップが予め分かっている場合には、その良品のチップのみにAuボールバンプ70を形成することで、歩留まりや生産効率の向上を図ることができる。

【0184】最後に、図24に示すように、半田71(Auボールバンプ70)とNi膜(金属プラグ)63との位置合わせを行なった後、半田71とNi膜(金属プラグ)63とを接続し、シリコン基板50同士を接続することにより、EEPROMのマルチチップ半導体装置が完成する。その後、電気特性評価を行ない、積層したチップに不良がある場合には、ハンダ71をメルト温度まで加熱することで、チップ同士の接続を切断し、不良チップを良品チップと交換する。

【0185】なお、本実施形態では、NAND型EEPROMのマルチチップ半導体装置について説明したが、本実施形態と同様な方法により、NOR型EEPROMのマルチチップ半導体装置、DRAMのマルチチップ半導体装置も製造することができる。さらには、EEPROM、DRAMもしくはその他の半導体メモリまたはこれらの組み合わせと、CPUとから構成されたパーソナルコンピュータ等の情報処理装置のマルチチップ半導体装置も製造することができる。

【0186】

【発明の効果】以上詳述したように本発明(請求項1, 2)によれば、少なくとも1つのチップがその半導体基板および層間絶縁膜を貫通する貫通孔内に金属からなる接続プラグが形成された構造を有し、かつこの接続プラグを有するチップが該接続プラグを介して他のチップと

電氣的に接続されているので、装置の平面面積が小さく、構造が単純で、かつ厚さが薄いマルチチップ半導体装置を実現できるようになる。

【0187】また、本発明(請求項3~7)では、マルチチップ半導体装置用チップとして、素子が形成された半導体基板と、この半導体基板およびその上に形成された層間絶縁膜を貫通する貫通孔内に形成され、他のチップと電氣的に接続するための金属からなる接続プラグとからなる構成のものを用いている。

【0188】したがって、このような構成のマルチチップ半導体装置用チップを用いることにより、本発明(請求項1, 2)に係るマルチチップ半導体装置を実現できるようになる。

【0189】また、本発明(請求項8~請求項12)では、層間絶縁膜は貫通するが半導体基板は貫通しない孔を形成した後、裏面から半導体基板を後退させて貫通孔を形成しているので、もとの半導体基板が厚くても貫通孔を容易に形成できる。

【0190】したがって、半導体基板が厚くても、本発明(請求項3~7)に係るマルチチップ半導体装置用チップを容易に形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るマルチチップ半導体装置の断面図

【図2】本発明の第2の実施形態に係るマルチチップ半導体装置の断面図

【図3】本発明の第3の実施形態に係るマルチチップ半導体装置の断面図

【図4】本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す前半の工程断面図

【図5】本発明の第4の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す後半の工程断面図

【図6】孔領域の多層配線層の具体的な構造例を示す断面図

【図7】素子領域の多層配線層の具体的な構造例を示す断面図

【図8】貫通プラグを示す断面図

【図9】孔の他の形成方法を示す工程断面図

【図10】金属プラグの他の形成方法を示す断面図

【図11】金属プラグのさらに別の形成方法を示す断面図

【図12】接続プラグの他の形成方法を示す工程断面図

【図13】マルチチップの他の接続構造を示す断面図

【図14】接続プラグのさらに別の方法を示す前半の工程断面図

【図15】接続プラグのさらに別の方法を示す後半の工程断面図

【図16】本発明の第5の実施形態に係るマルチチップ半導体装置用チップの形成方法を示す断面図

【図17】本発明の第6の実施形態に係るマルチチップ

半導体装置の断面図

【図18】本発明の第7の実施形態に係るマルチチップ半導体装置の断面図

【図19】本発明の第8の実施形態に係るマルチチップ半導体装置の製造方法を示す図

【図20】本発明の第9の実施形態に係るマルチチップ半導体装置を示す模式図

【図21】TABテープを用いた従来のマルチチップ半導体装置を示す模式図

【図22】本発明の第10の実施形態に係るマルチチップ半導体装置の製造方法を示す前半の工程断面図

【図23】本発明の第10の実施形態に係るマルチチップ半導体装置の製造方法を示す後半の工程断面図

【図24】本発明の第10の実施形態に係るマルチチップ半導体装置の製造方法を示す断面図

【図25】従来のマルチチップ半導体装置の断面図

【図26】従来の他のマルチチップ半導体装置の断面図

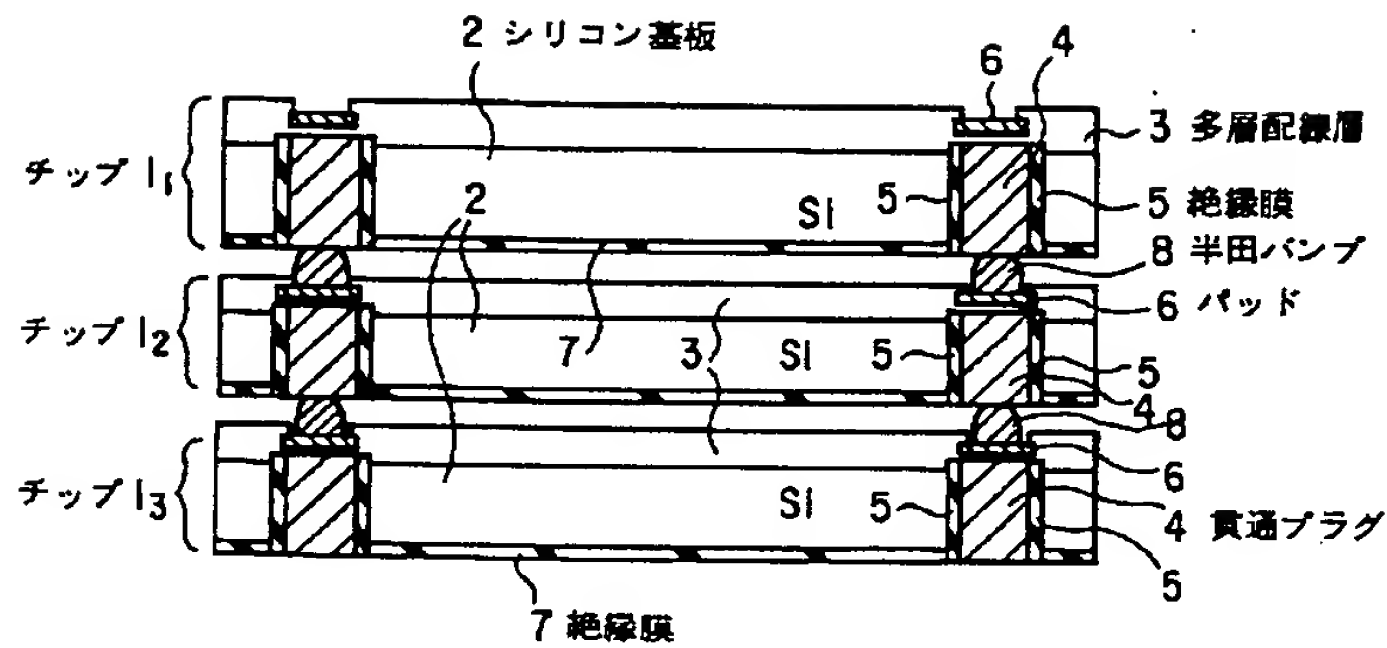
【図27】従来のさらに別のマルチチップ半導体装置の断面図

【符号の説明】

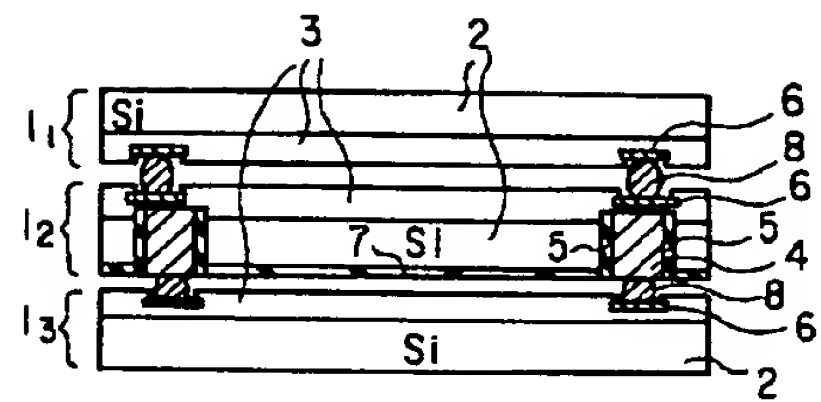
1₁, 1₂, 1₃ …チップ
 2 …シリコン基板
 3 …多層配線層
 4 …金属膜 (金属プラグ)
 5 …絶縁膜
 6 …パッド
 7 …絶縁膜
 7 a …絶縁膜
 8 …半田バンプ (接続部材)
 8 d …ダミーバンプ
 9 …積層配線基板 (実装部材)
 10 …シリコン基板
 11 …第1の層間絶縁膜
 11 a …第2の層間絶縁膜
 11 b …第3の層間絶縁膜
 11 c …第4の層間絶縁膜
 11 n …第nの層間絶縁膜
 12 …マスクパターン
 12 a …マスクパターン
 13, 13₁ ~ 13₃ …孔 (貫通孔)
 14 …積層絶縁膜 (第1の絶縁膜)
 15 …金属膜 (金属プラグ)
 16 …多層配線構造
 17 …パッド
 18 …SiO₂ 膜 (第2の絶縁膜)
 19 …金属配線
 19 a …第1の金属配線
 19 b …第2の金属配線
 20 a …第1の金属配線
 20 b …第2の金属配線

20 c …第3の金属配線
 21 …金属
 22 …金属シリサイド膜
 23 …導電ペースト
 24 …金属粒子
 25 …シリコン膜
 26 …金属シリサイド膜
 27 …シリコン膜
 28 …Ni粒
 29 …ニッケルシリサイド膜
 30 …キャップ膜
 31 …SOG膜
 32 …FOX膜
 33 …パッド
 34 …金属ボール
 35 …基板
 36 …溝
 37 …金属ボール
 38 …接着フィルム
 39 …放熱フィン
 40 …接着剤
 41 …絶縁膜
 42 …ソルダー
 43 …プラスチックテープ
 44 …リード端子
 45 …キャップ金属膜
 46 …キャップ絶縁膜
 47 …接続先の部材
 50 …シリコン基板
 51 …トンネル酸化膜
 52_F …浮遊ゲート電極
 53_C …制御ゲート電極
 53 …ゲート電極間絶縁膜
 54 …ソース拡散層
 55 …ドレイン拡散層
 56 …第1の層間絶縁膜
 57 …Ti・TiN積層膜
 58 …Wビット線プラグ
 59 …マスクパターン
 60 …孔
 61 …SiO₂ 膜
 62 …多結晶シリコン膜
 63 …Ni膜
 64 …ビット線
 65 …第1の配線層
 66 …第2の層間絶縁膜
 67 …プラグ
 68 …第2の配線層
 69 …ポリイミド膜
 70 …Auボールバンプ

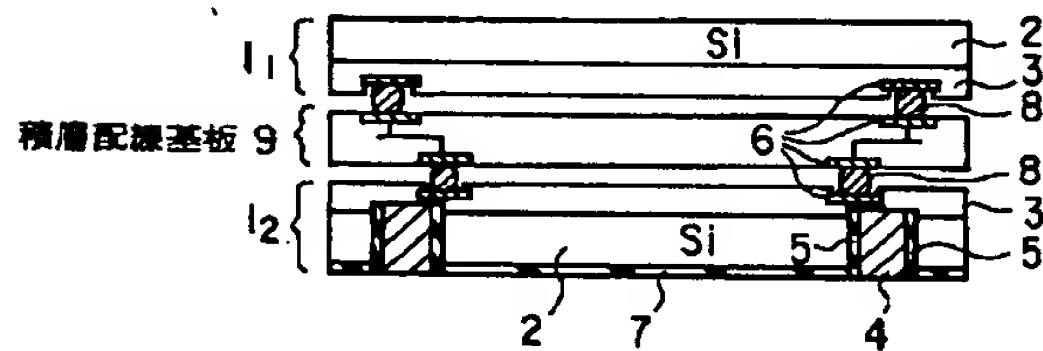
【図1】



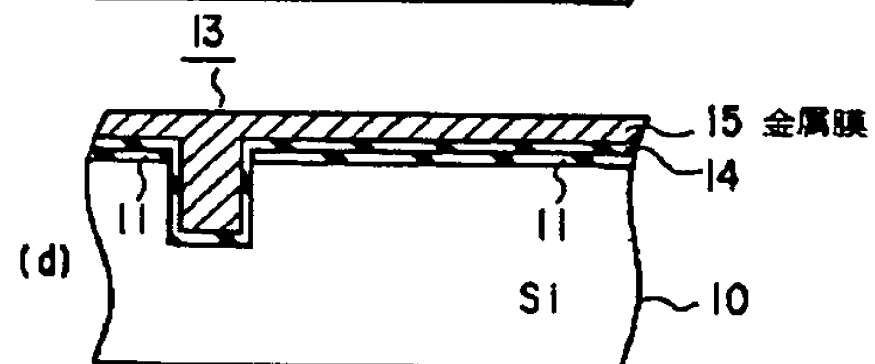
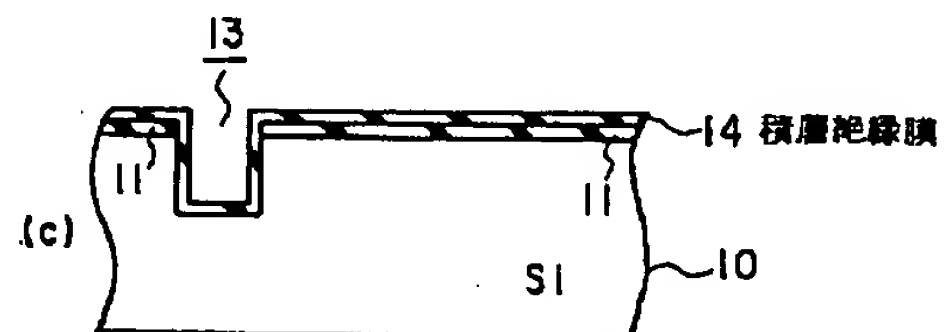
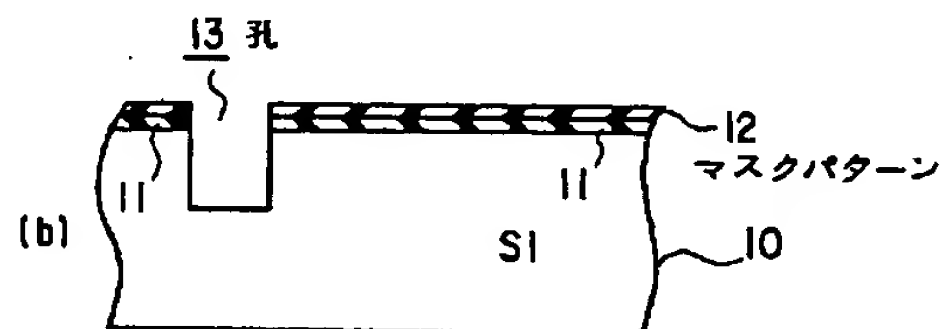
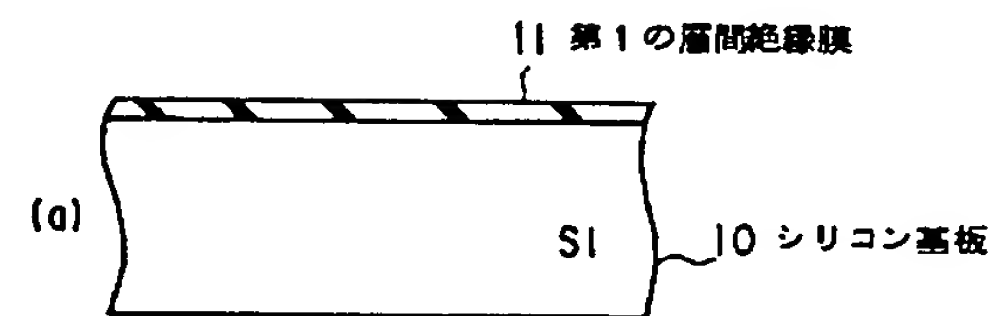
【図2】



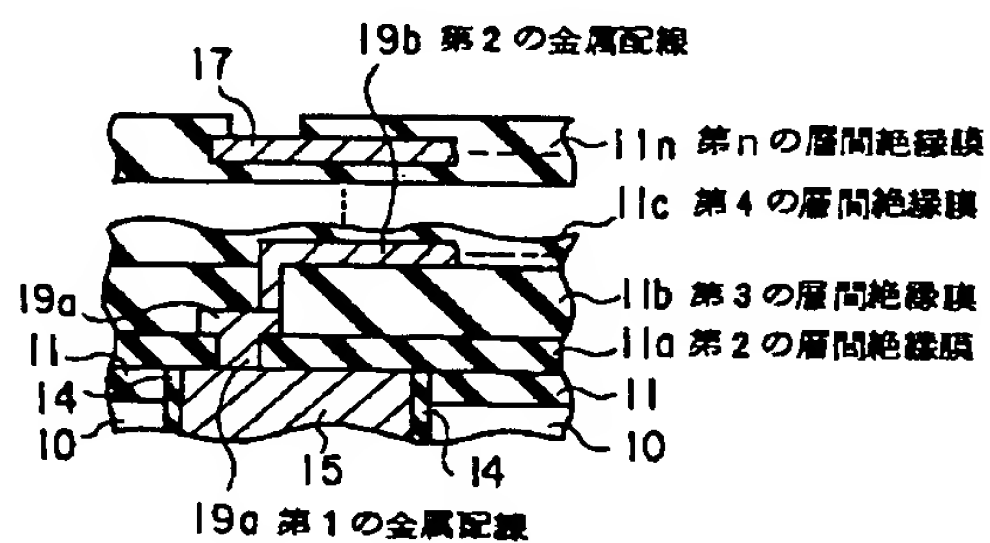
【図3】



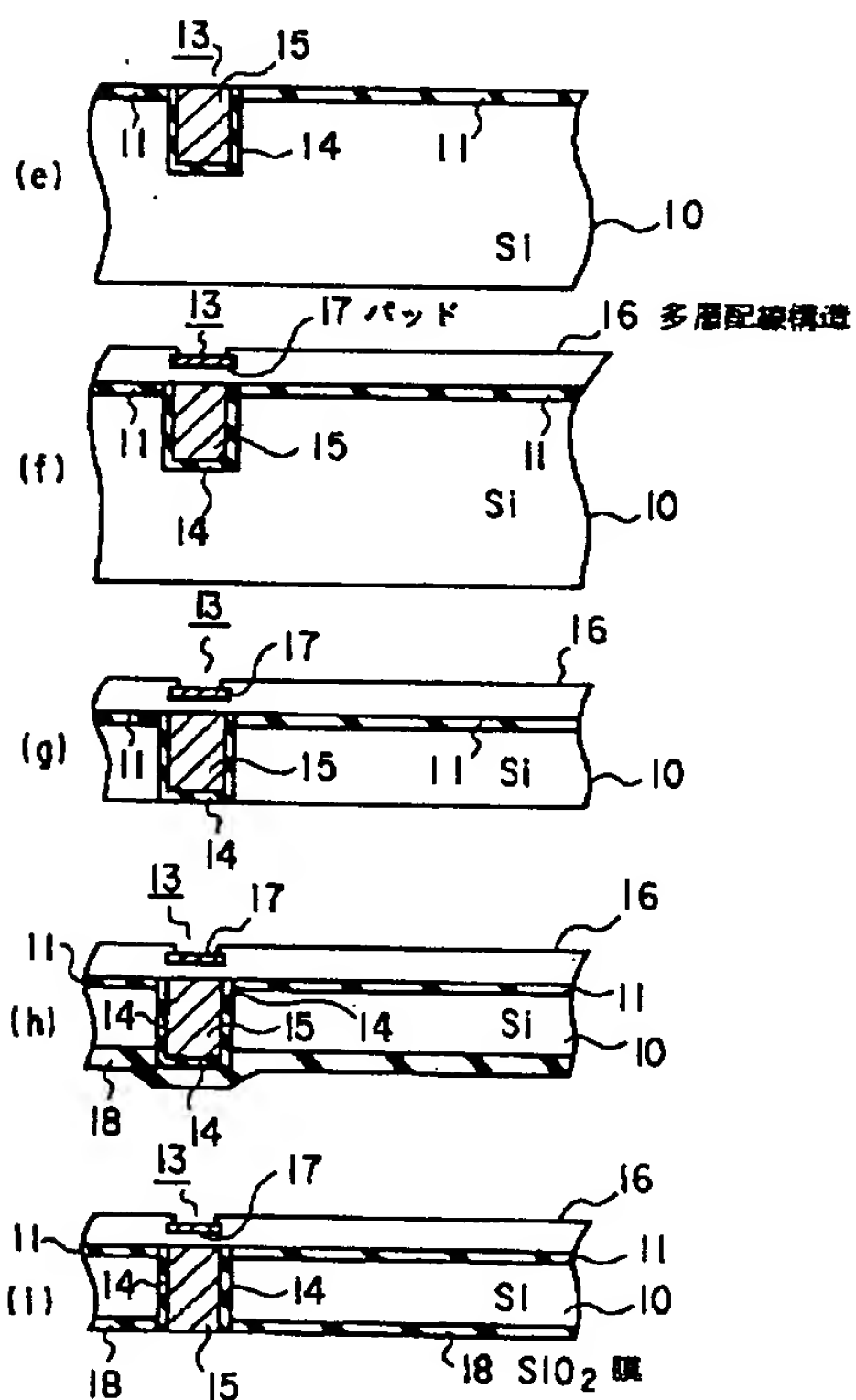
【図4】



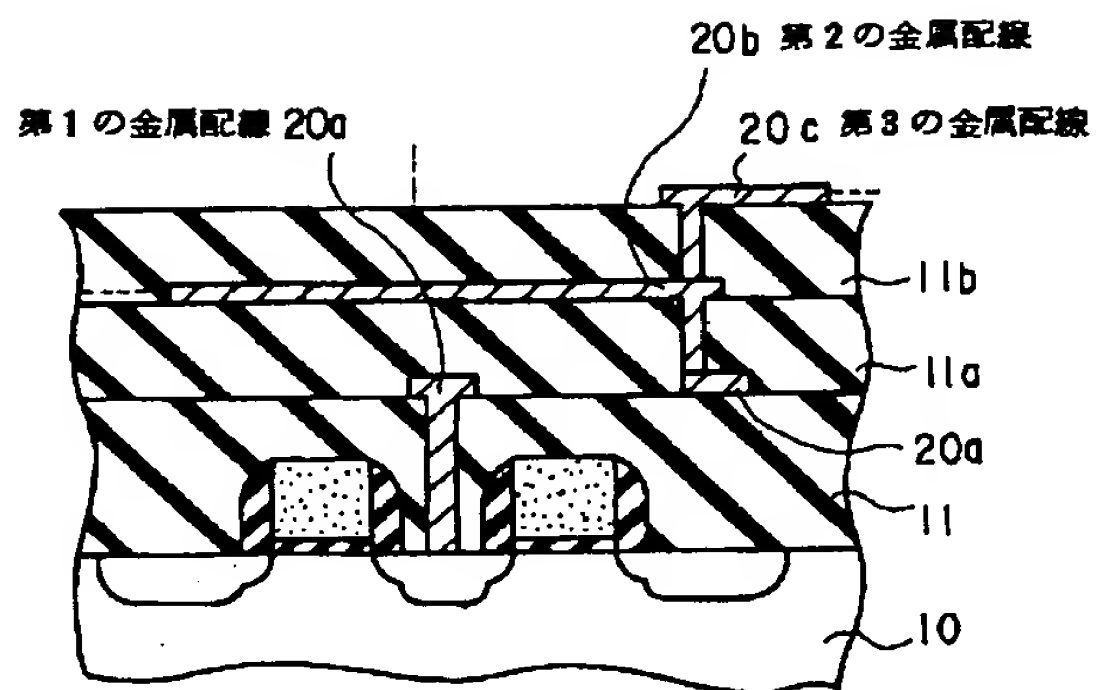
【図6】



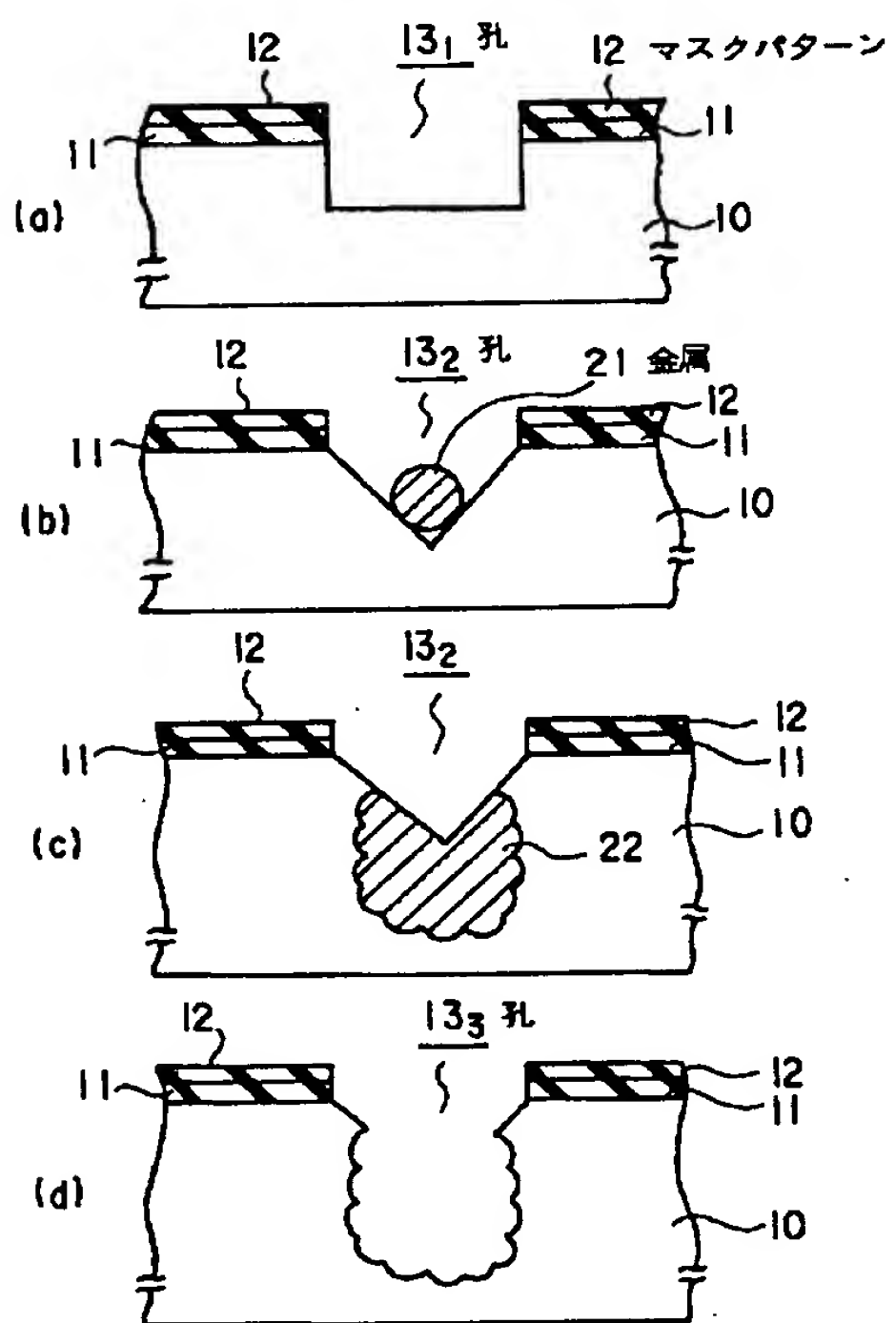
【図5】



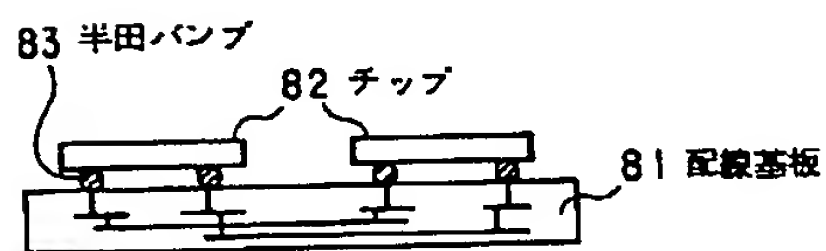
【図7】



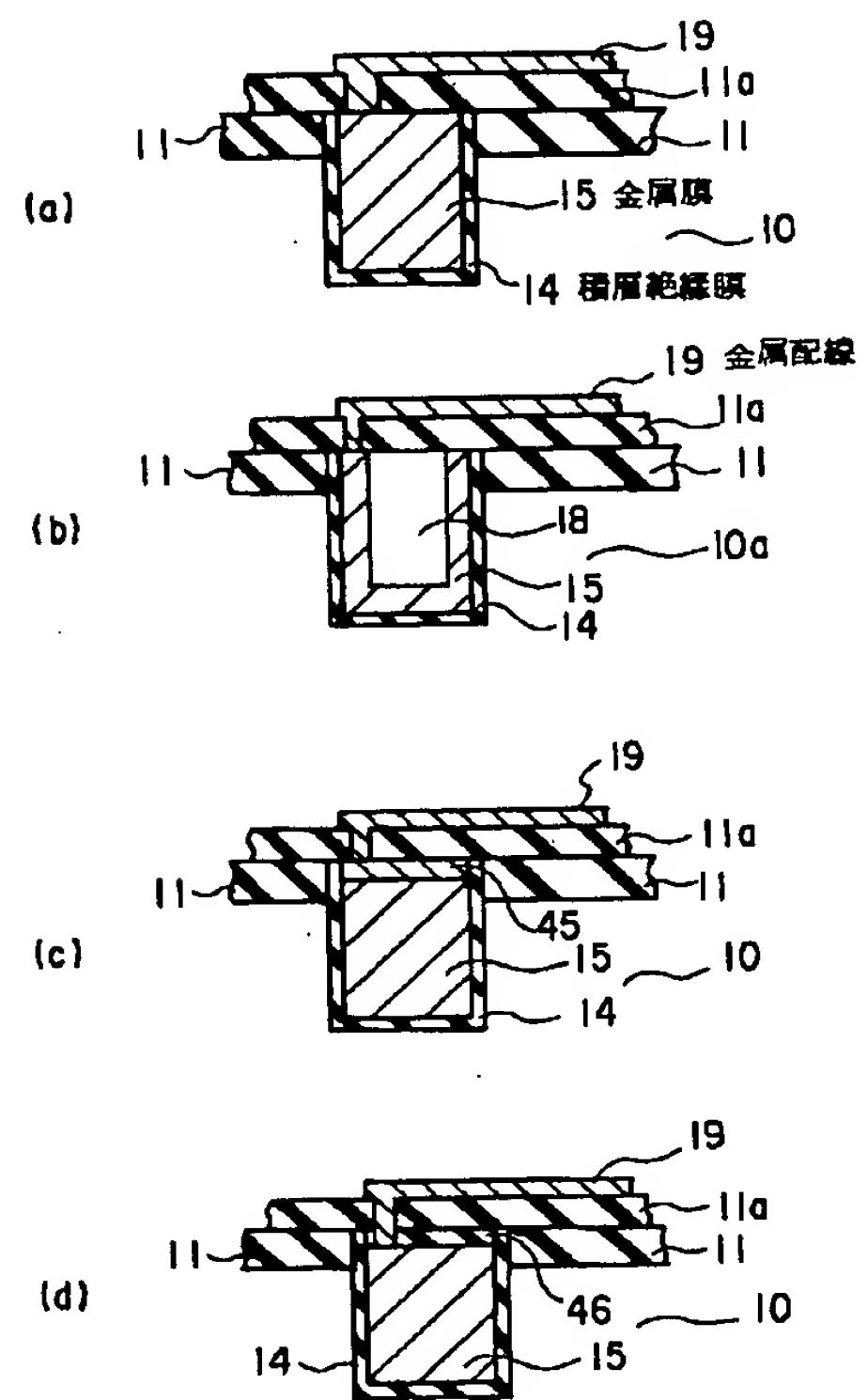
【図9】



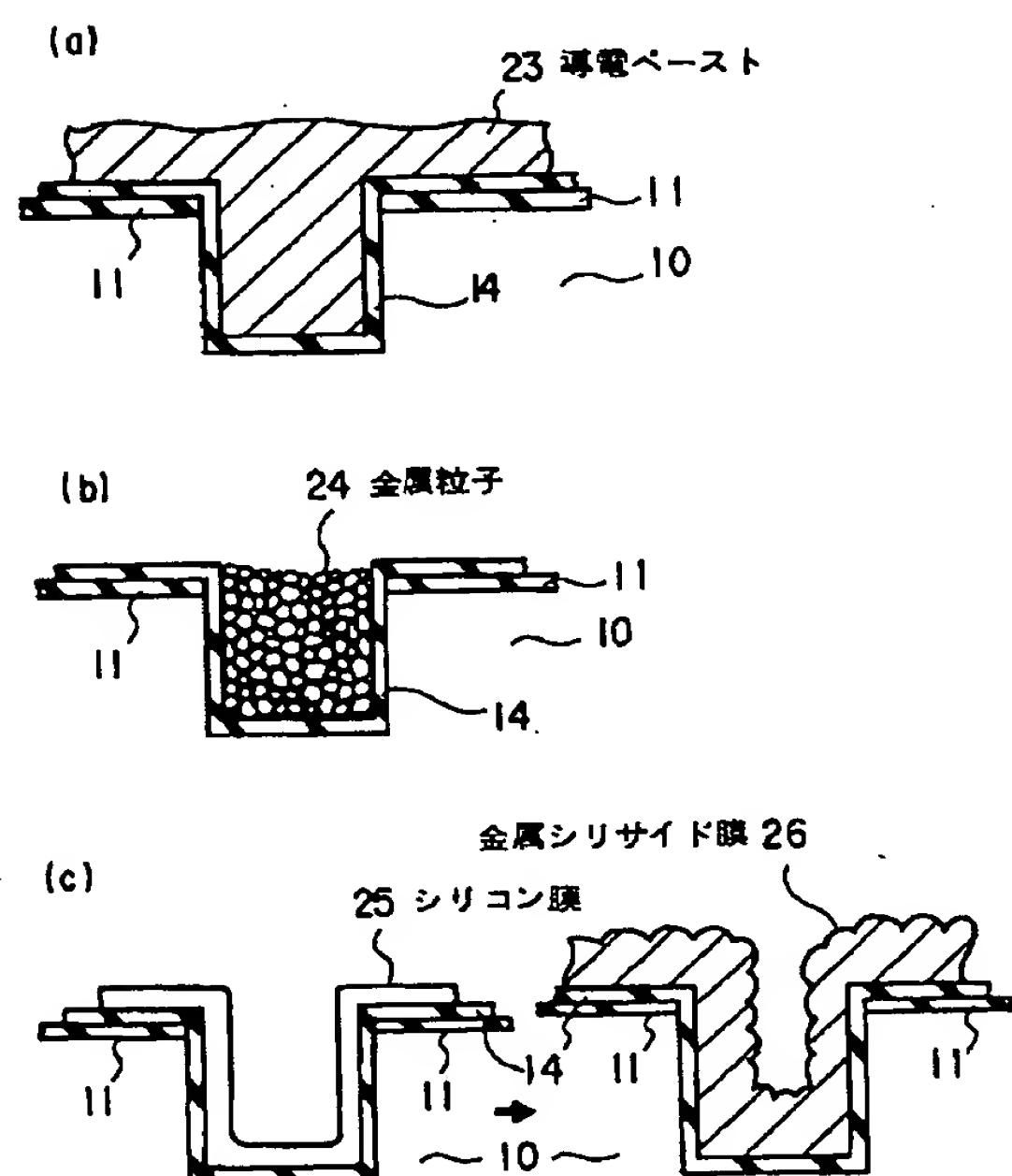
【図25】



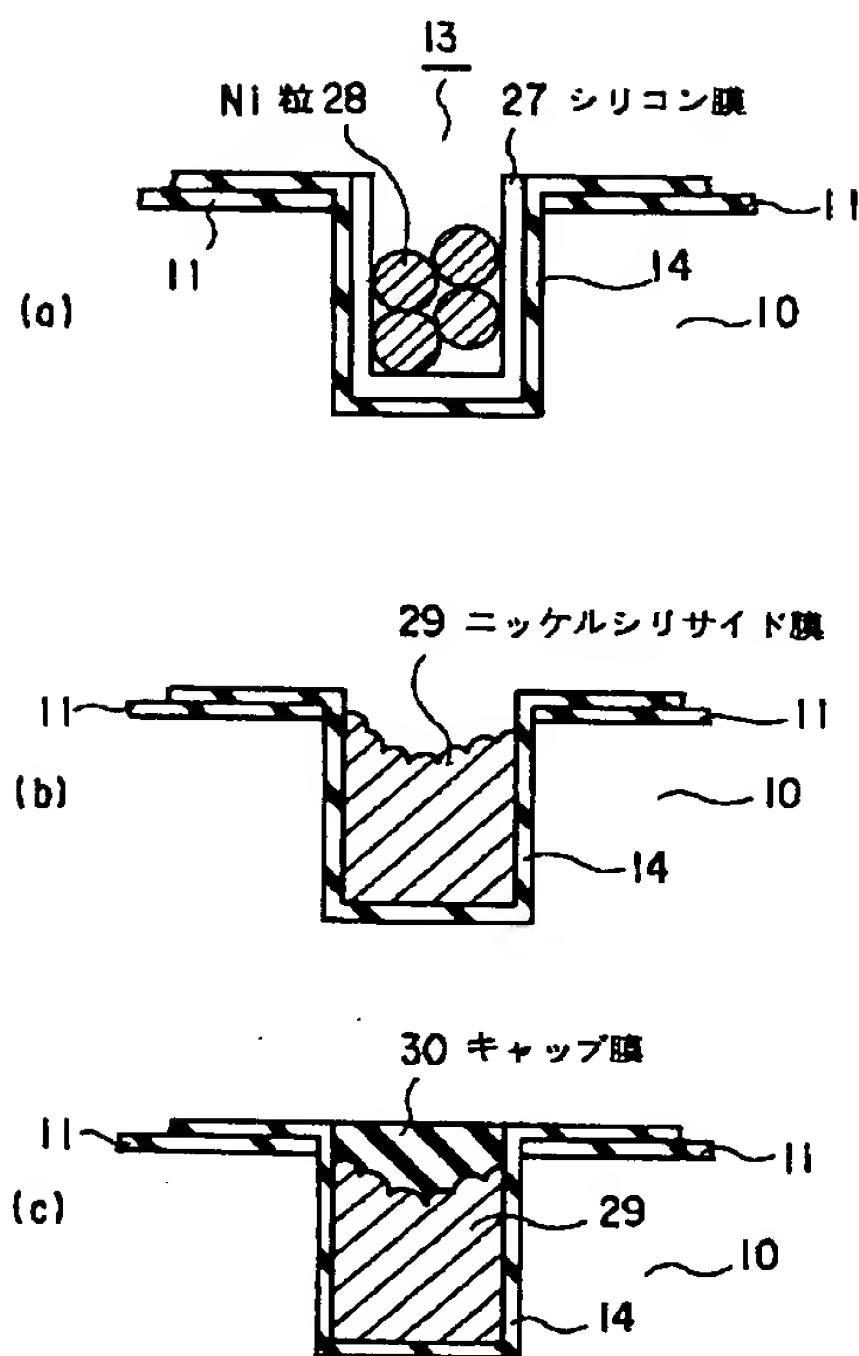
【図8】



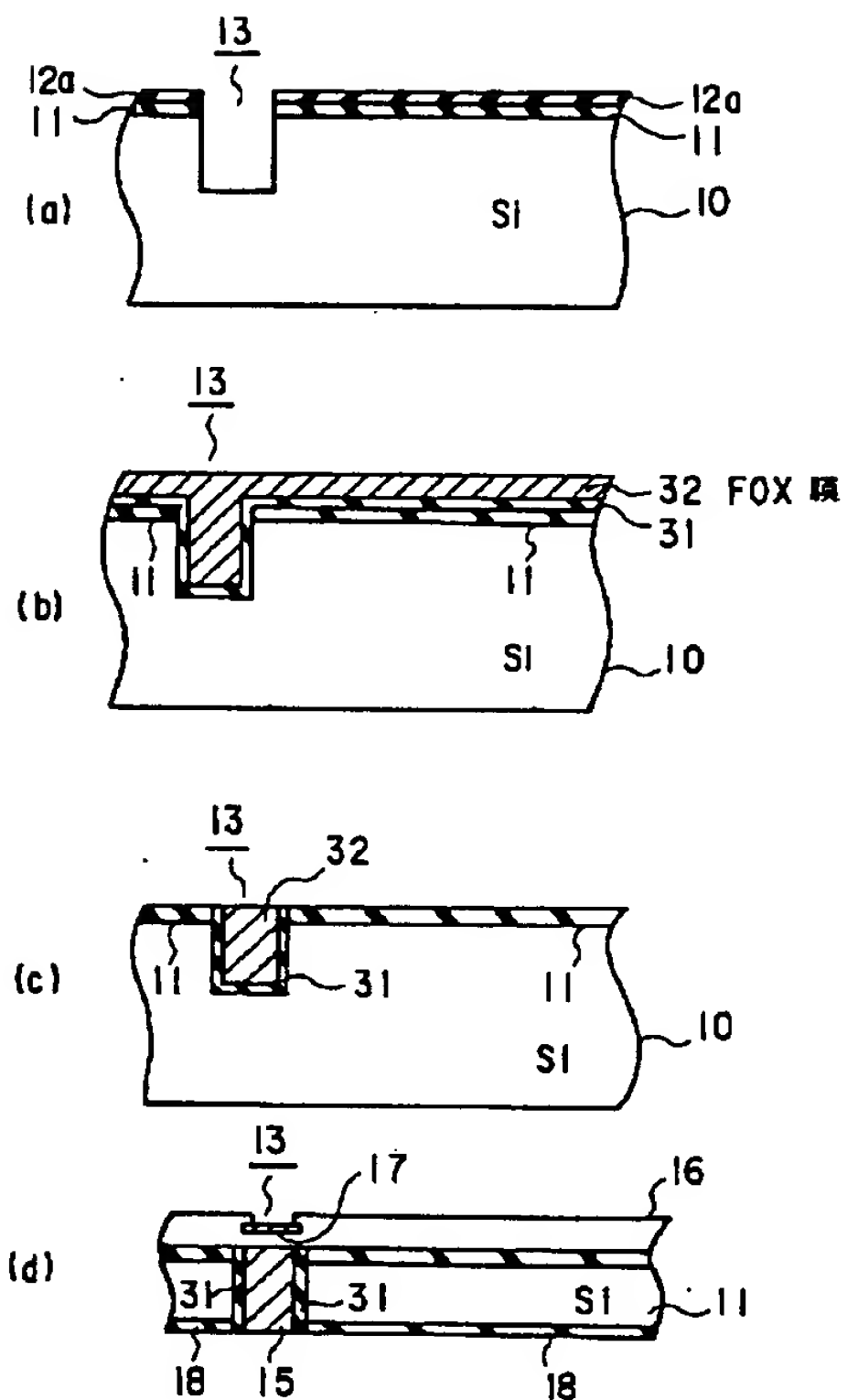
【図10】



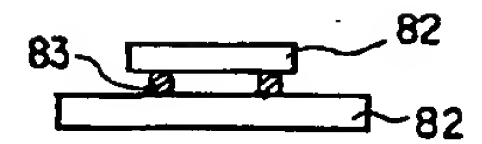
【図11】



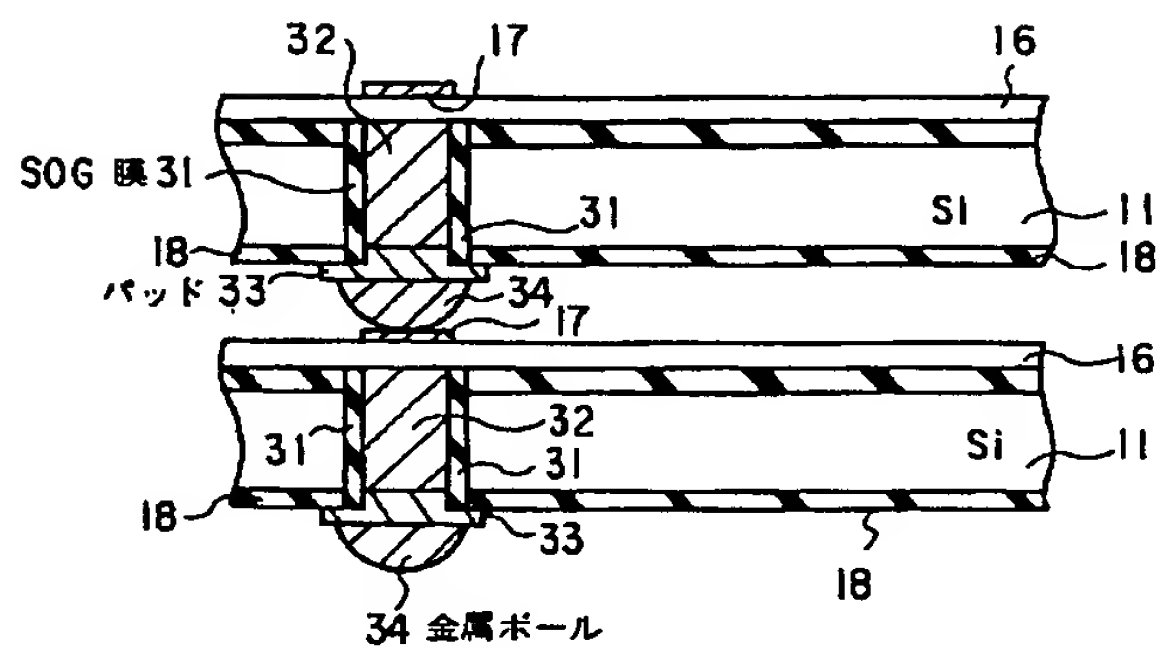
【図12】



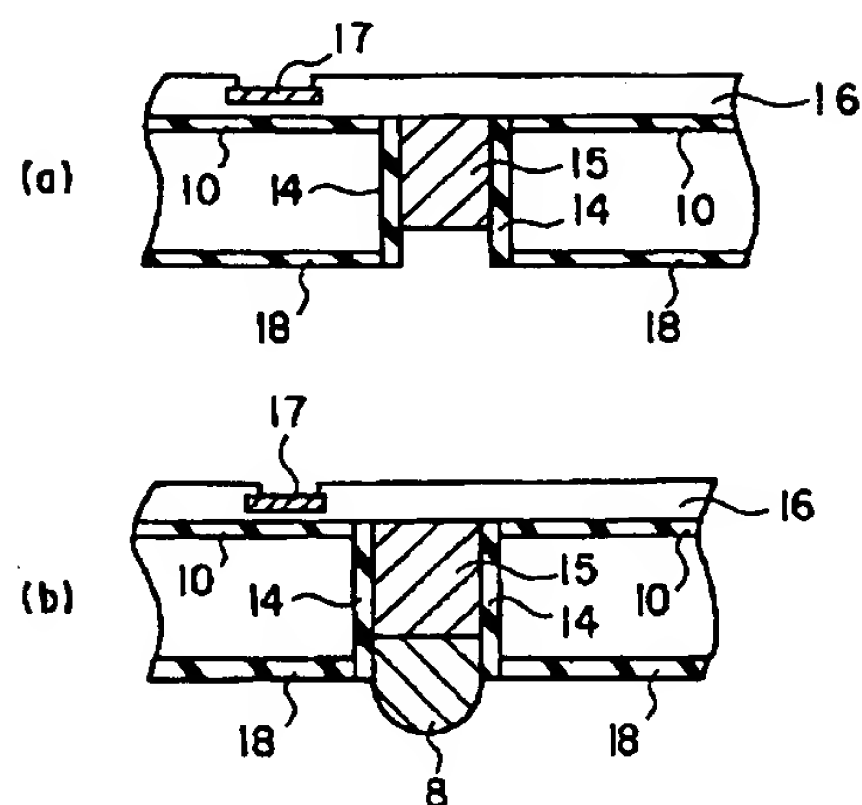
【図26】



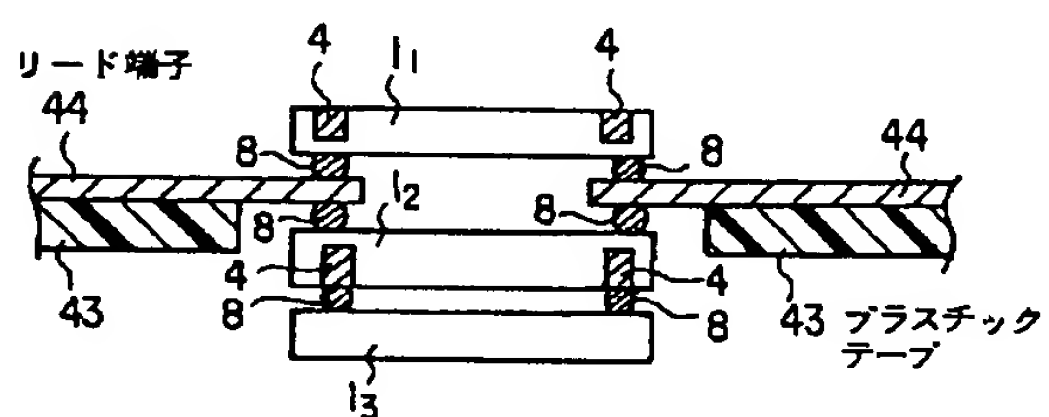
【図13】



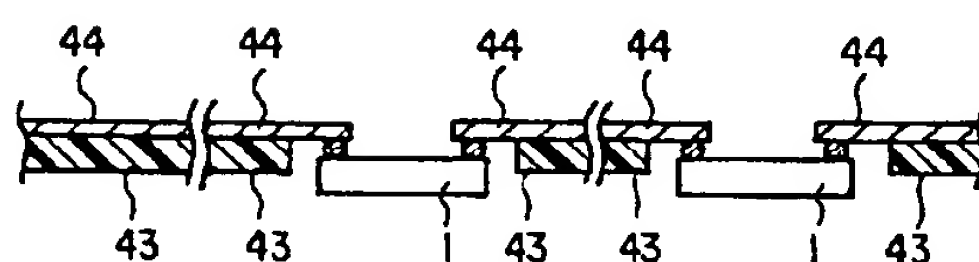
【図16】



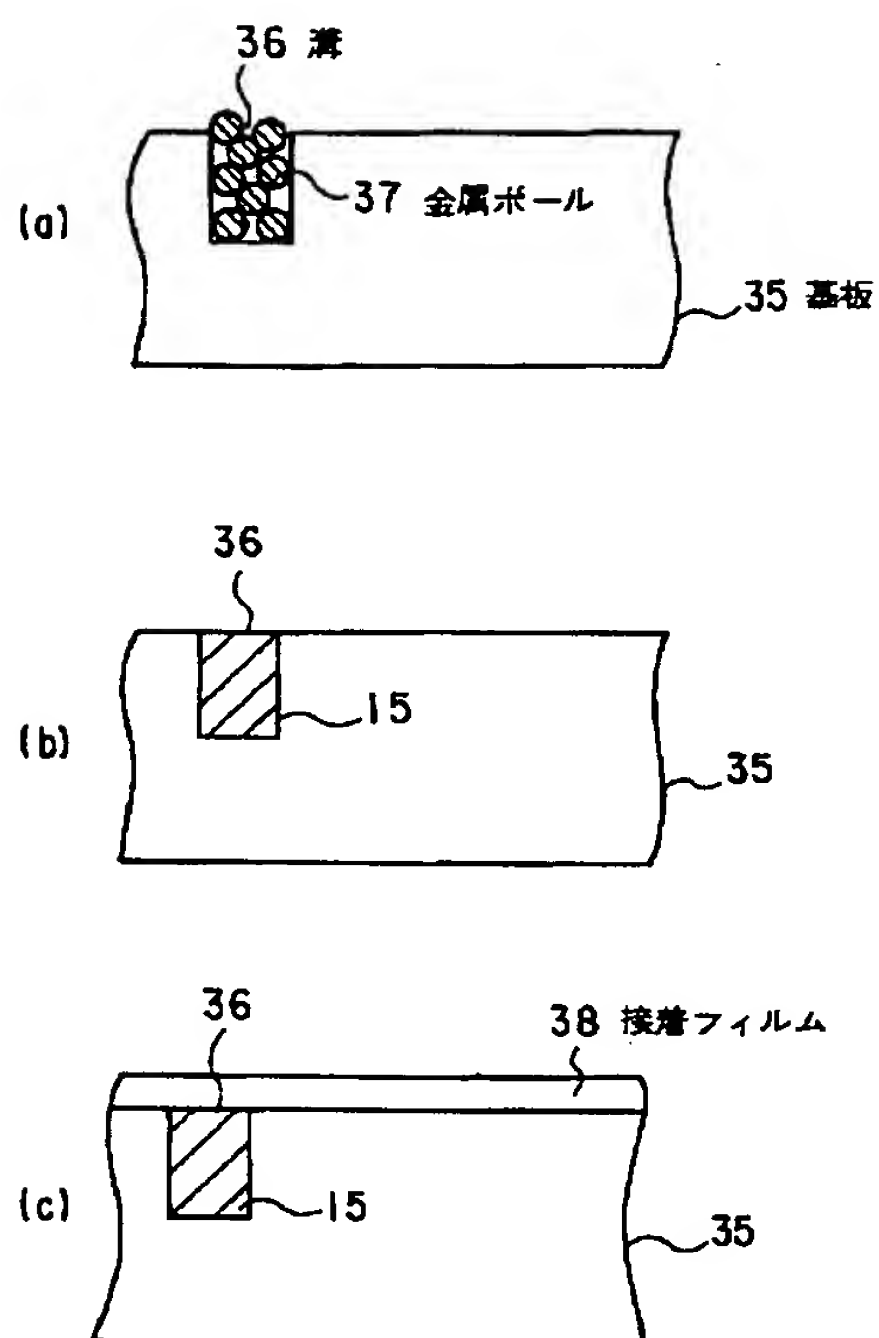
【図20】



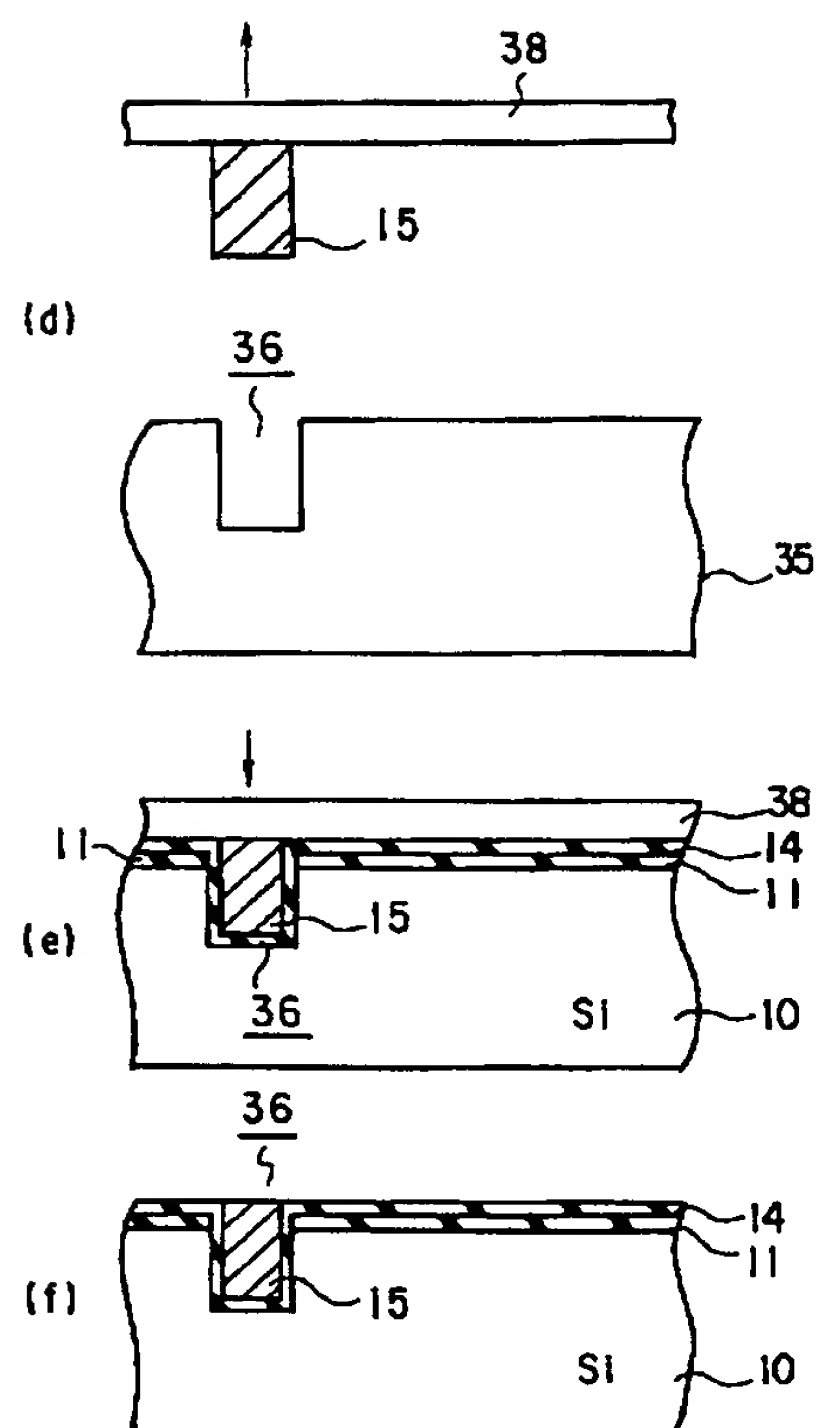
【図21】



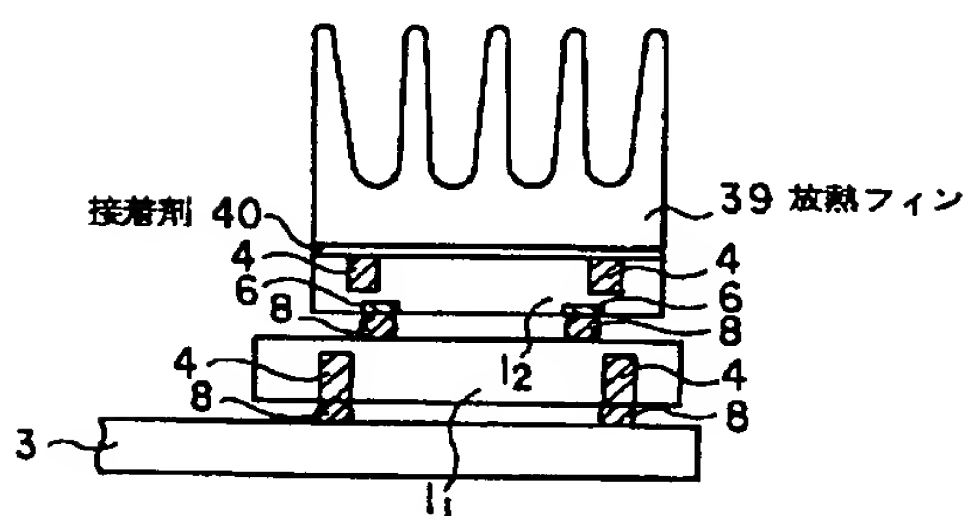
【図14】



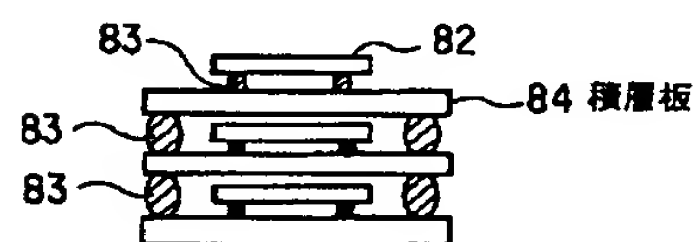
【図15】



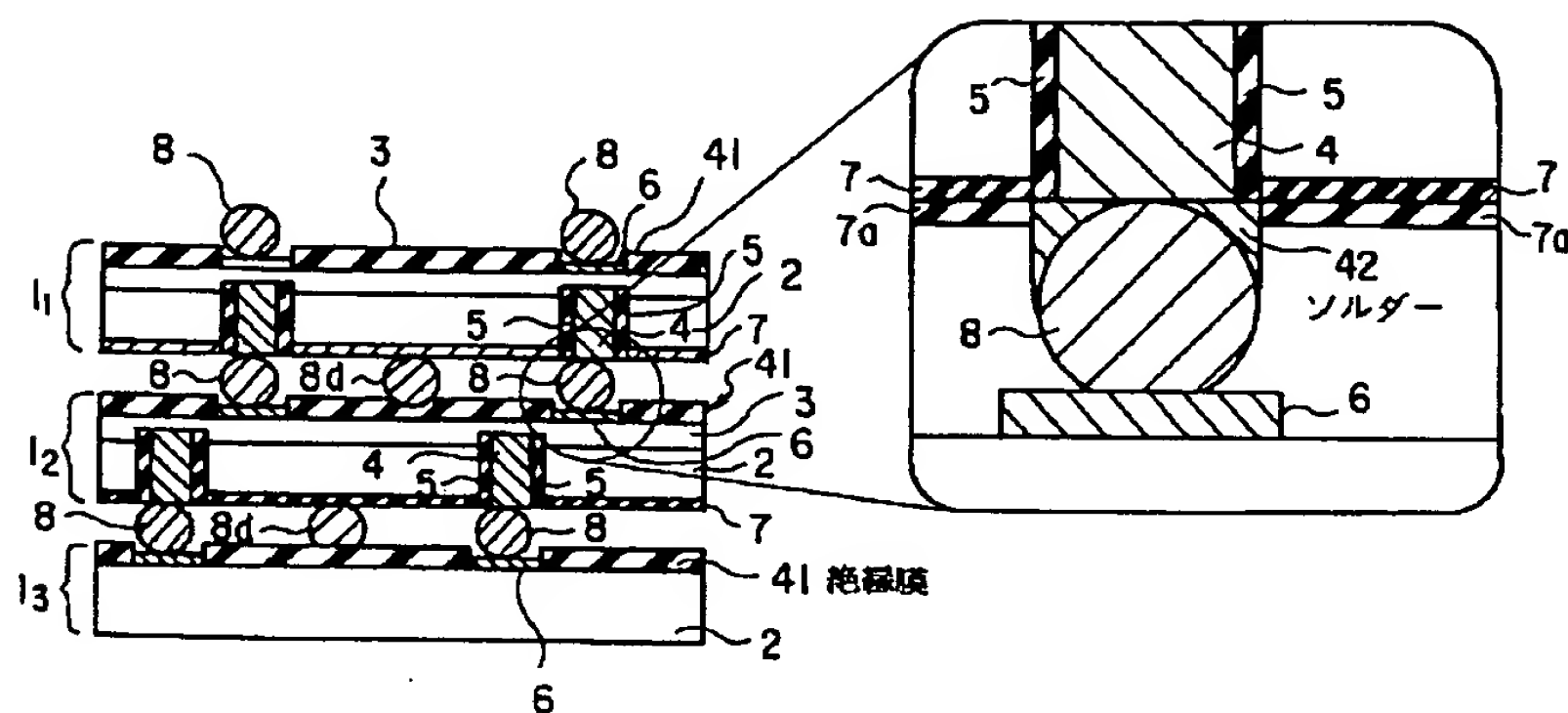
【図17】



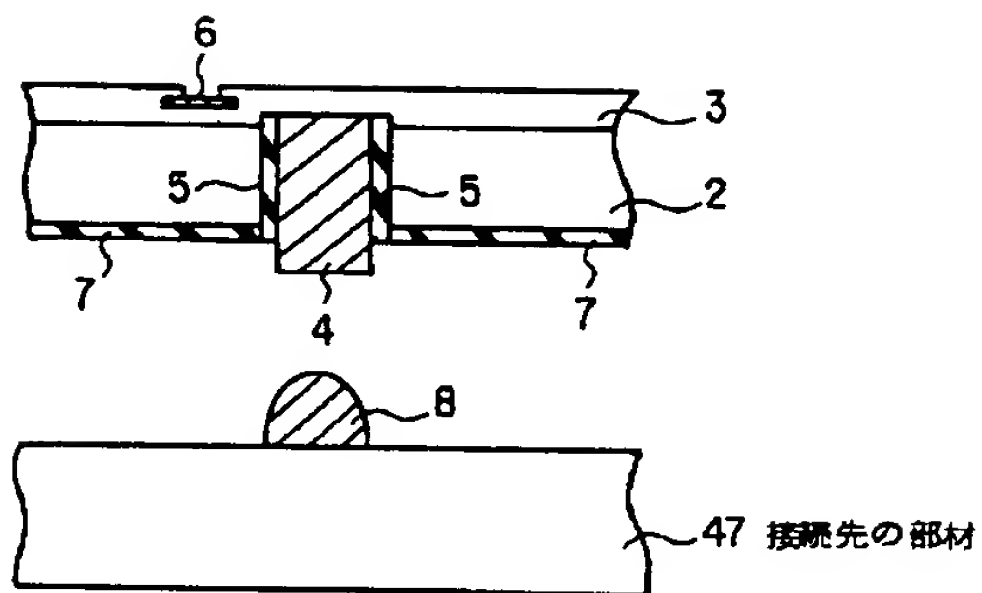
【図27】



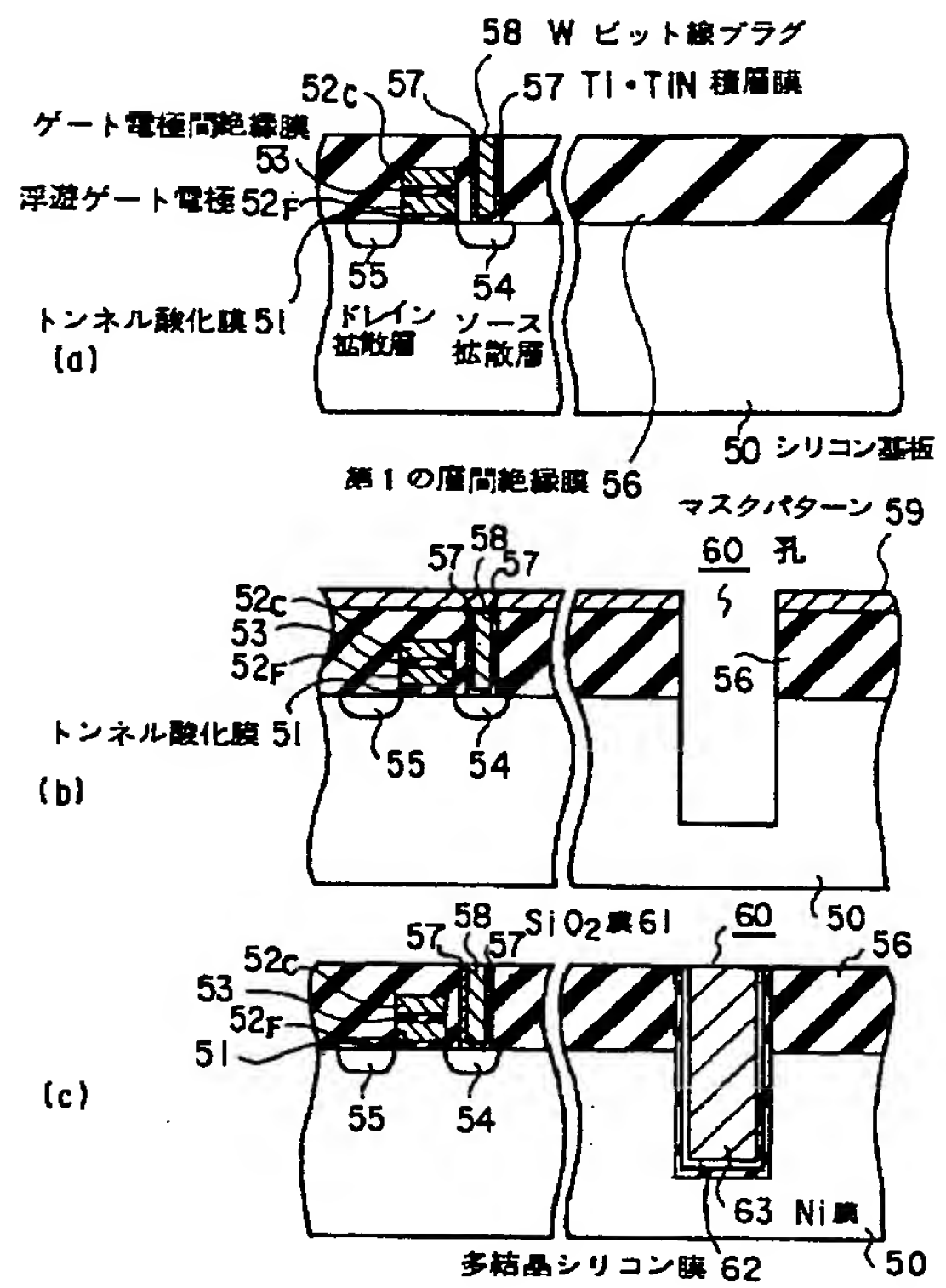
【図18】



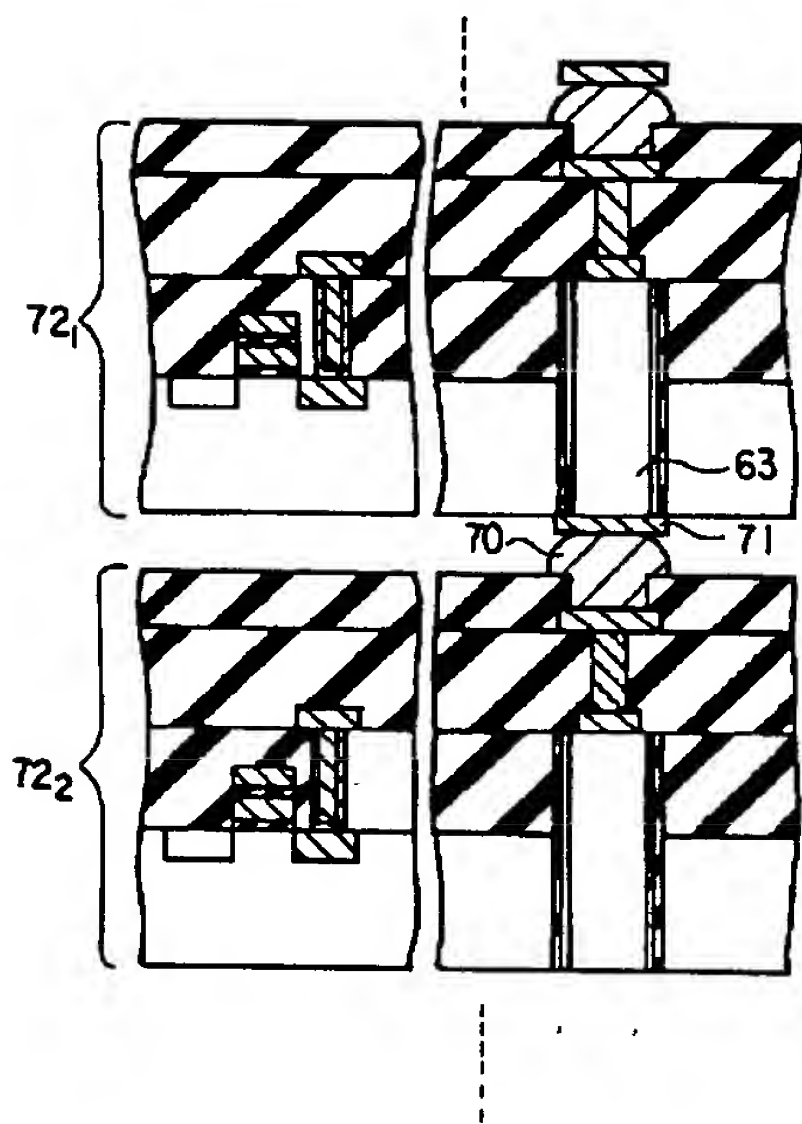
【図19】



【図22】



【図24】



【図 23】

